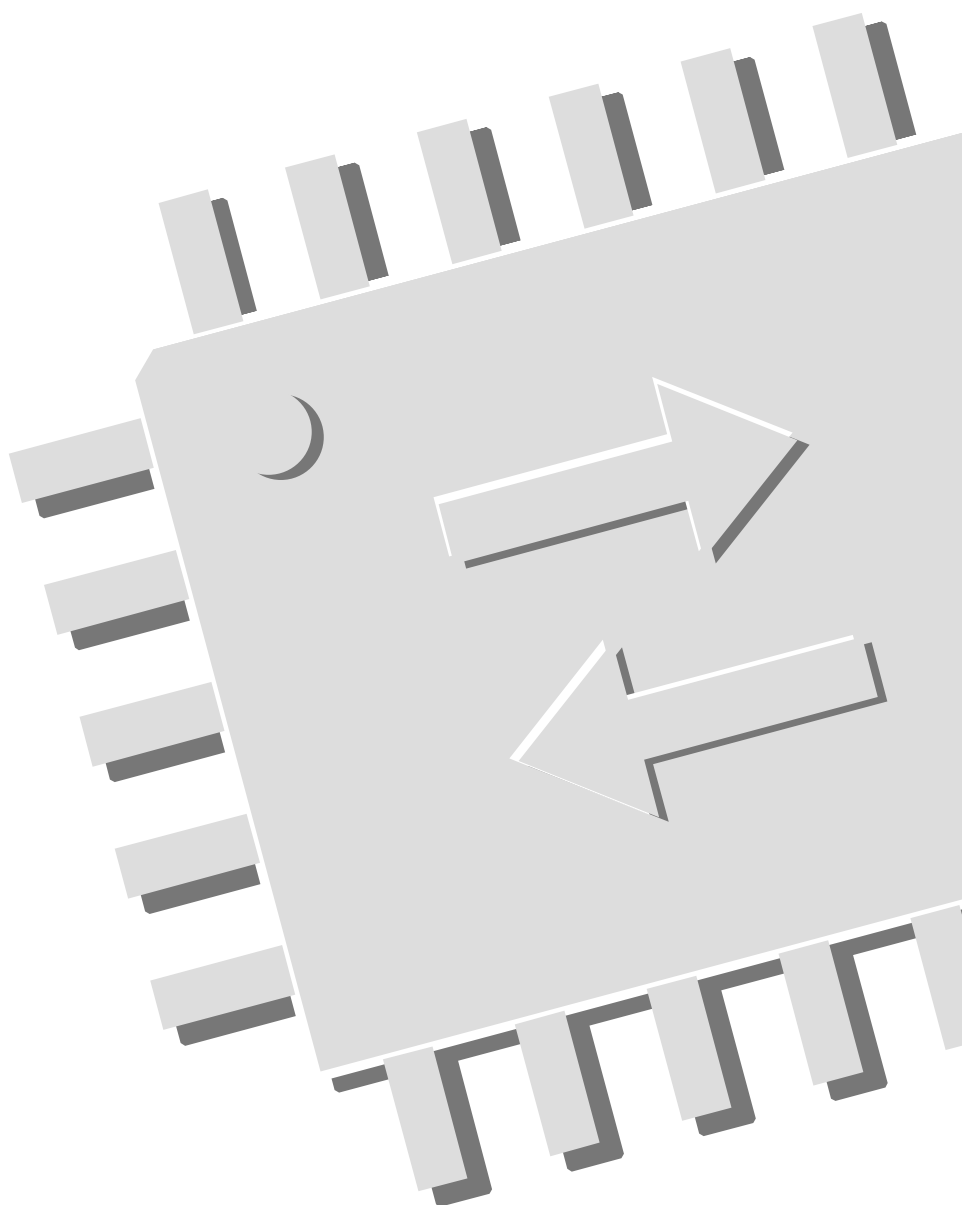


PHY(IEEE 1394)

MD8405E

ユーザズマニュアル



MEMO

改版履歴

版数	日付	改版内容
1.00	平成 11 年 5 月 28 日	MD8405E 対応新規
1.01	平成 11 年 6 月 23 日	Register17 記述ミス修正 10-1 MD8404 とのピン互換記述ミス修正
1.03	平成 11 年 8 月 25 日	10-2 MD8405B / MD8405D とのピン互換記述ミス修正 2-2 端子の機能説明記述ミス修正 図 8-1 外形寸法図修正

凡例

データの MSB,LSB	: 左が MSB、右が LSB
負論理信号の記述	: 信号名の最後に # が付けられているもの
数の記述	: 2 進数 ****b または **** 10 進数 **** 16 進数 ****h
用語	: Byte 8 ビット幅のデータ Word 16 ビット幅のデータ Quadlet 32 ビット幅のデータ Octlet 64 ビット幅のデータ

注：MD8404 までは PC[0:2] 端子で PC2 が MSB、PC0 が LSB の記述となっておりました。MD8405 以降はこれを修正し、PC0 が MSB、PC2 が LSB とします。ハード的には変更しない為、MD8405 のピン配置では MD8404 と比べて PC0 と PC2 が入れ替わっております。PHY では今後、MD8405 を含めてデータ番号の小さい方（例えば "0"）が MSB、データ番号が大きい方（例えば "7"）を LSB に統一します。

MD8405B からの変更点

MD8405E では、P1394a Draft Ver2.0 規格にある BIAS_HANDSHAKE_TIME を変更できるよう機能を追加しております。

変更点

- Register71 に EnDV ビットを追加。このビットの初期値は "1"。このビットの状態で BIAS_HANDSHAKE_TIME 値を変更可能としています。
- Register17 の値が 62h から 65h に変更

MD8405C からの変更点

MD8405E では、MD8405C で En_DV 端子にしていたものを MD8405B と同様に En_Multi 端子にもどしました。これによって Register71 の EnDV ビットを初期値 "1" としています。

MD8405D からの変更点

1. バグ修正

MD8405D のエラッタにある以下の項目を修正。

- 1.1 TpBias Down
- 1.2 Suspend Fault (S/R="H" のみ)
- 1.3 Resume Fault (S/R="H" のみ)
- 1.4 SefID 受信
- 1.5 gap_count
- 1.6 EnDV

2. Product ID

Product ID レジスタ値を 0x303565(05e) に修正。

関連資料

IEEE Std 1394-1995 Standard for a High Performance Serial Bus
IEEE P1394a Draft 2.0 Standard for a High Performance Serial Bus

ライセンス

当社は、SGS-Thomson Microelectronics 社から同社所有の IEEE1394 High Performance Serial Bus Standard に関する特許の使用ライセンスを受けております。

MEMO

目次

1	概要	1
1-1	特徴	1
1-2	用途	1
1-3	内部ブロック図	2
2	端子説明	3
2-1	端子配列	3
2-2	端子の機能説明	4
3	コントロールレジスタ	7
3-1	レジスタアクセス方法	7
3-2	レジスタ内容	7
3-2-1	Register0	7
3-2-2	Register1	7
3-2-3	Register2	8
3-2-4	Register3	8
3-2-5	Register4	8
3-2-6	Register5	9
3-2-7	Register6	10
3-2-8	Register7	10
3-3	レジスター一覧	11
3-4	Page_select=0 (Port Status page)	12
3-4-1	Register00	12
3-4-2	Register01	12
3-4-3	Register02	13
3-4-4	Register03	13
3-4-5	Register04	13
3-4-6	Register05	14
3-4-7	Register06	14
3-4-8	Register07	14
3-5	Page_select=0 一覧	15
3-6	Page_select=1 (Vendor Identification page)	16
3-6-1	Register10	16
3-6-2	Register11	16
3-6-3	Register12	16
3-6-4	Register13	16
3-6-5	Register14	17
3-6-6	Register15	17
3-6-7	Register16	17

3-6-8	Register17	17
3-7	Page_select=1 一覧	18
3-8	Page_select=7 (Vendor Dependent page)	19
3-8-1	Register70	19
3-8-2	Register71	19
3-8-3	Register72	19
3-8-4	Register73	19
3-8-5	Register74	20
3-8-6	Register75	20
3-8-7	Register76	20
3-8-8	Register77	20
3-9	Page_select=7 一覧	21
4	データフォーマット	22
4-1	Self-ID Packet	22
4-2	Link-on Packet	23
4-3	PHY Configuration Packet	23
4-4	Extended PHY Packet	23
4-4-1	Ping Packet	23
4-4-2	Remote Access Packet	24
4-4-3	Remote Reply Packet	24
4-4-4	Remote Command Packet	24
4-4-5	Remote Confirmation Packet	24
4-4-6	Resume Packet	24
5	機能説明	25
5-1	Link チップインターフェイス	25
5-1-1	接続方法	25
5-1-1-1	DC 接続	25
5-1-1-2	AC 接続	25
5-1-2	LPS(Link Power Status)	26
5-1-3	LinkOn	27
5-1-4	Link インターフェイス (LREQ、CTL[0:1]、D[0:7])	27
5-1-4-1	LREQ	28
5-1-4-2	Status 出力	31
5-1-4-3	Transmit	32
5-1-4-4	Receive	34
5-1-4-5	Link インターフェイス初期化動作	35
5-1-5	DIRECT	36
5-1-6	LDSEL	36
5-1-7	アイソレーションバリア	36
5-2	ケーブルインターフェイス	41
5-2-1	ケーブルインターフェイス回路	41

5-2-2	ケーブルインターフェイス動作概要	42
5-2-3	ポートステート	44
5-2-4	コネクタ検出回路	44
5-2-5	Suspend/Resume	44
5-2-6	Suspend/Resume オフモード (SR 端子 ="L")	45
5-2-7	低消費電力 (Power Down) モード	46
5-2-8	S200 モード (S200 端子 ="H")	46
5-2-9	CPS (ケーブルパワーステータス)	46
5-2-10	未使用ポートの処理	47
5-3	クロック回路	48
5-3-1	クリスタルオシレータ	48
5-3-2	PLL	48
5-4	外部回路	48
5-4-1	CPS 端子	48
5-4-2	Rext 端子	49
5-4-3	Vref 端子	49
5-5	ハードウェアリセット	50
6	電気特性	51
6-1	絶対最大定格	51
6-2	推奨動作条件	51
6-3	DC 特性	52
6-4	AC 特性	54
7	推奨回路図	57
8	外形図	59
9	部品配置	60
10	ピン互換性	61
10-1	MD8404 とのピン互換	61
10-2	MD8405B / MD8405D とのピン互換	61
11	付録 A 送受信条件における消費電流 (代表値)	62
	注意事項	63

図表目次

図 1-1	MD8405 のブロック図.....	2
図 2-1	端子配列図.....	3
図 4-1	Self-ID パケットフォーマット.....	22
図 4-2	Link-on パケットフォーマット.....	23
図 4-3	PHY Configuration パケットフォーマット.....	23
図 4-4	Ping パケットフォーマット.....	23
図 4-9	Resume パケットフォーマット.....	24
図 4-5	Remote Access パケットフォーマット.....	24
図 4-6	Remote Reply パケットフォーマット.....	24
図 4-7	Remote Command パケットフォーマット.....	24
図 4-8	Remote Confirmation パケットフォーマット.....	24
図 5-1	MD8405 と Link チップの接続図 (DC 接続).....	25
図 5-2	MD8405 と Link チップの接続図 (AC 接続).....	25
図 5-3	AC 接続時の LPS 波形.....	26
図 5-4	LREQ ストリーム.....	28
図 5-5	Status.....	31
図 5-6	Transmit.....	32
図 5-7	Receive.....	34
図 5-8	AC 接続時の PHY/Link インターフェイス初期化.....	35
図 5-9	DC 接続時の PHY/Link インターフェイス初期化.....	35
図 5-10	IEEE P1394a Draft Ver2.0 アイソレーションバリア (一例).....	36
図 5-11	ドライバ回路「微分」出力波形.....	37
図 5-12	アイソレーションバリア回路.....	37
図 5-13	各ノードの波形例.....	38
図 5-14	LREQ アイソレーションバリア回路.....	39
図 5-15	LPS アイソレーションバリア回路.....	39
図 5-16	SCLK アイソレーションバリア回路.....	39
図 5-17	CTL[0:1] アイソレーションバリア回路.....	40
図 5-18	D[0:7] アイソレーションバリア回路.....	40
図 5-19	VSS 接続.....	40
図 5-20	ケーブルインターフェイス.....	41
図 5-21	ドライバ電流と出力波形 (S200 スピードシグナル時).....	43
図 5-22	1 ポートのみ使用時回路図.....	47
図 5-23	クロック回路.....	48
図 5-24	PLL 外部回路.....	48
図 5-25	CPS 外部回路.....	48
図 5-26	Rext 外部回路.....	49
図 5-27	Vref 外部回路.....	49
図 6-1	Link インターフェイス AC 特性 (SCLK, Link-On).....	54

図 6-2	Link インターフェイス AC 特性 (CTL,D).....	55
図 6-3	Link インターフェイス AC 特性 (LREQ).....	55
図 6-4	クロックタイミング.....	55
図 7-1	MD8405 推奨回路図 (例).....	57
図 7-2	ケーブルインターフェイス接続推奨回路図.....	58
図 8-1	外形寸法図.....	59
図 9-1	部品配置参考図.....	60
表 2-1	MD8405 端子表 (1).....	4
表 2-2	MD8405 端子表 (2).....	5
表 2-3	MD8405 端子表 (3).....	6
表 3-1	レジスター一覧表.....	11
表 3-2	page_select=0 一覧表.....	15
表 3-3	page_select=1 一覧表.....	18
表 3-4	page_select=7 一覧表.....	21
表 5-1	LPS タイミング.....	26
表 5-2	PHY が CTL を制御する動作.....	27
表 5-3	Link が CTL を制御する動作.....	27
表 5-4	Request フォーマット.....	28
表 5-5	Speed フォーマット.....	28
表 5-6	Read Register フォーマット.....	28
表 5-7	Write Register フォーマット.....	29
表 5-8	アクセラレーションコントロールフォーマット.....	29
表 5-9	Request Type.....	29
表 5-10	Status フォーマット.....	31
表 5-11	スピードコード (SP[0:7]).....	34
表 5-12	Link インターフェイス初期化動作.....	35
表 5-13	未使用ポート端子の処理.....	47
表 6-1	絶対最大定格.....	51
表 6-2	推奨動作条件.....	51
表 6-3	DC 特性 (Link インターフェイス).....	52
表 6-4	DC 特性 (ケーブルインターフェイス).....	53
表 6-5	AC 特性 (Link インターフェイス).....	54
表 6-6	AC 特性 (ツイストペアインターフェイス).....	54
表 6-7	クロック回路 AC 特性.....	56
表 10-1	MD8405E 動作.....	61

MEMO

1 概要

MD8405 は、IEEE P1394a Draft Ver2.0 に準拠した 400/200/100Mbit/sec の転送スピードをサポートする物理層 IC です。1394 ケーブルインターフェイス用の 3 つのポート、リンク層 I C へのインターフェイス、バス初期化とアービトレーションのためのステートマシンロジックを持ち合わせています。MD8405 は IEEE P1394a Draft Ver2.0 プロトコルの物理層ファンクション、リンク層インターフェイスをサポートします。

1-1 特徴

- IEEE P1394a Draft Ver2.0 に準拠する低電圧振幅差動トランシーバ
- 393.216Mbit/sec , 196.608Mbit/sec と 98.304 Mbit/sec のデータレートをサポート
- 393.216 MHz PLL 内蔵
- パワーセーブの為に、停止ポートに対する自動シャットダウン機能
- 3 ポート独立した TpBias
- ケーブル電源の低下を Cable Power Status により検出
- P1394a Draft Ver2.0 に準拠したバス 初期化、アービトレーションの為にステートマシーンロジック
- P1394a Draft Ver2.0 に準拠した Port connection ステートマシーン
- P1394a Draft Ver2.0 に準拠した PHY/Link インターフェイス
- DC、AC 接続による PHY-Link インターフェイスをサポート
- PHY-Link インターフェイス AC タイミング設定端子
- 各ポート毎に設定可能な Disabled 設定ピンのサポート
- En_Accel、En_Multi 設定ピンのサポート
- Configuration Manager Capable、PowerClass 定義ピンのサポート

1-2 用途

- | | | |
|-----------|------------|-------------|
| ■ デジタルカメラ | ■ デジタル VCR | ■ デジタルオーディオ |
| ■ 電子楽器 | ■ スキャナ | ■ プリンタ |
| ■ 各種ストレージ | | |

1-3 内部ブロック図

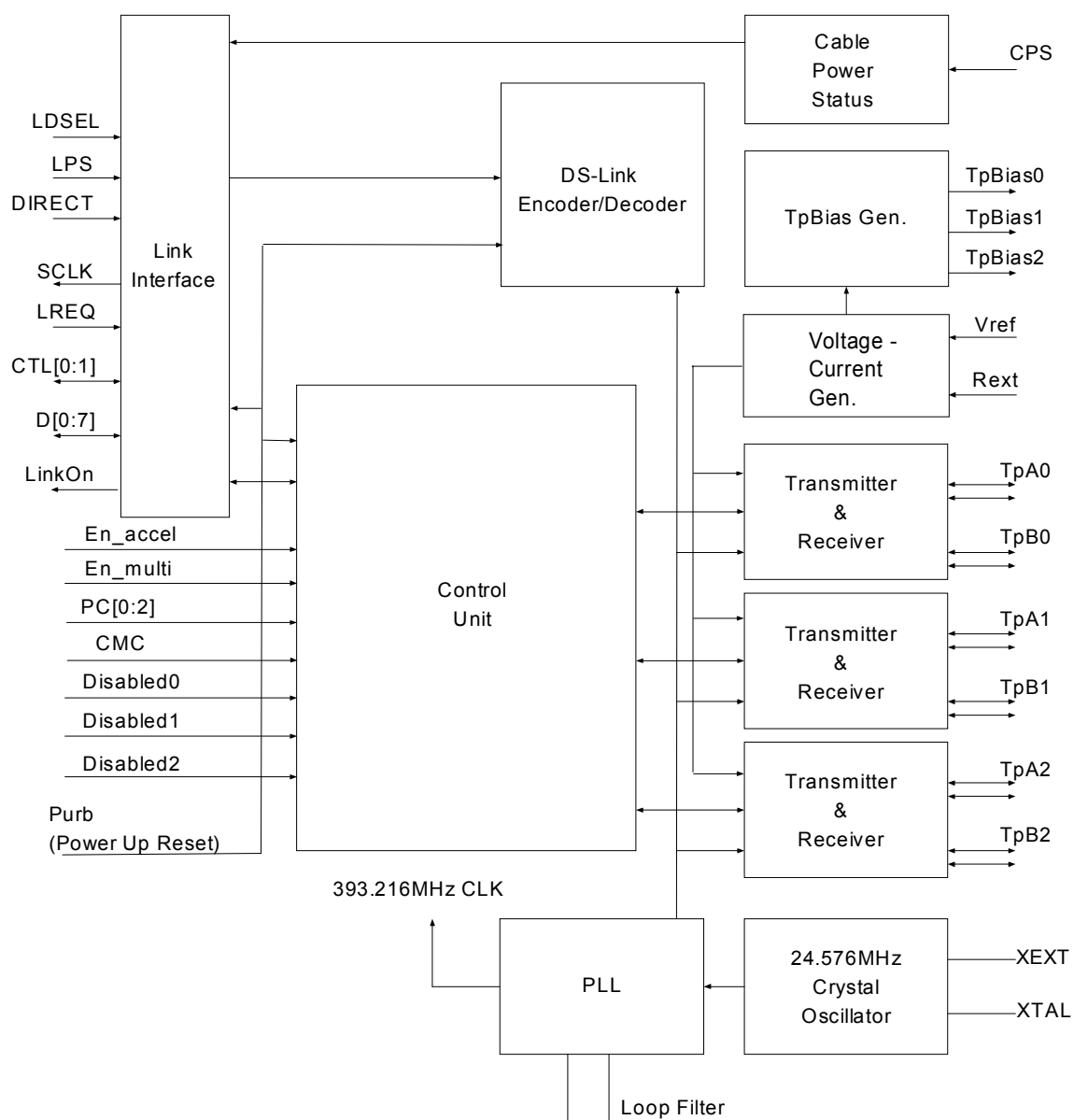


図 1-1 MD8405 のブロック図

2 端子説明

2-1 端子配列

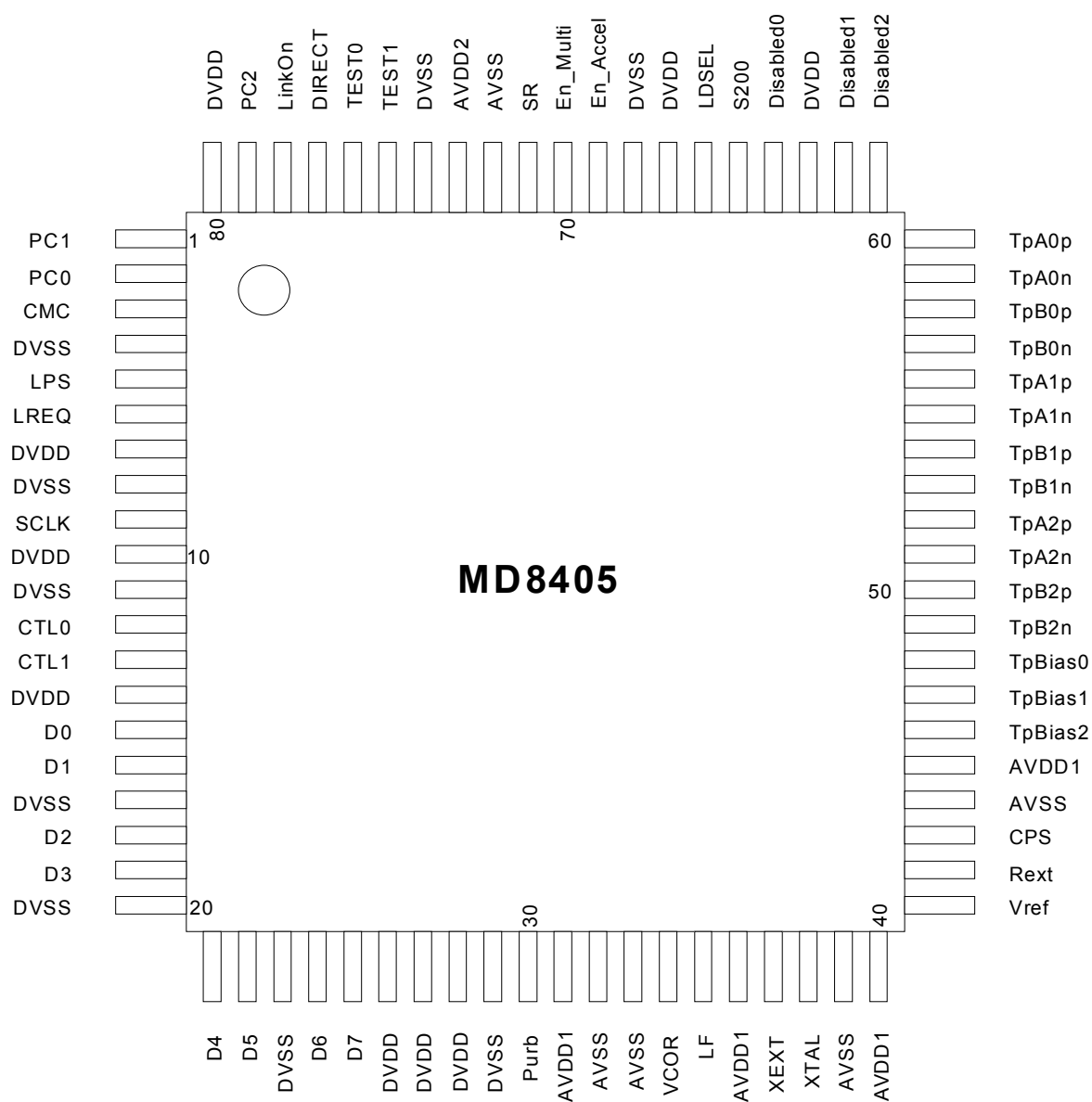


图 2-1 端子配列图

2-2 端子の機能説明

ピン番号	ピン名	I/O	機能
2,1,79	PC[0:2]	I	Power Class[0:2]。 PHY レジスタアドレス 4 の Pwr_class ビットのハードウェアリセット初期値としてこの端子の状態を反映。 設定により DVDD 又は、DVSS に接続。
3	CMC	I	Configuration Management Capable 接続端子。 PHY レジスタアドレス 4 の Contender ビットのハードウェアリセット初期値として反映。
4,8,11,17,20,23, 29,68,74,	DVSS	-	デジタルグランド。
5	LPS	I	Link Power Status。Link がアクティブかどうかをモニター。 [5-1-2 参照]
6	LREQ	I	Link Request。Link が LREQ 端子により PHY レジスタの リード / ライト、バスリクエストを行う。 [5-1-4 参照]
7,10,14,26,27,28, 63,67,80	DVDD	-	デジタル電源。
9	SCLK	O	49.152MHz Link システムクロック。 PHY-Link インターフェイス、ケーブルインターフェイスは SCLK に同期。
12,13	CTL[0:1]	I/O	PHY-Link インターフェイス制御信号。 [5-1-4 参照]
15,16,18,19,21,22, 24,25	D[0:7]	I/O	PHY-Link インターフェイスデータ信号。 [5-1-4 参照]
30	Purb	I	Power Up Reset 用外部コンデンサ接続端子。 0.1[μF] を介して DVSS へ。 リセット期間は最小 15[msec]。リセット期間中、内部ステート マシンは、すべて初期化される。 [5-4 参照]
65	S200	I	スピード切り替え端子。 “H” : S200 として動作。 “L” : S400 として動作。 通常は “L”。
71	SR	I	Suspend/Resume 機能切り替え端子。 “H” で P1394a Draft Ver2.0 準拠。 “L” のとき P1394a Draft Ver1.3 準拠。この為 Suspend/Resume 機能は OFF。 通常は “H”。

表 2-1 MD8405 端子表 (1)

ピン番号	ピン名	I/O	機能
31,36,40,45	AVDD1	-	アナログ電源 1。 ケーブルインターフェイスドライバ用電源以外の電源。
32,33,39,44,72	AVSS	-	アナロググランド。
34	VCOR	I	外部ループフィルタ接続端子。
35	LF	O	
37,38	XEXT, XTAL	I/O	クリスタル接続。水晶発振子接続端子。 オシレータ出力周波数は 24.576MHz±100ppm が必要。 使用される水晶発振子自身は、10[pF] の負荷を接続した状態で ±50ppm の精度が必要。 [5-3 参照]
41	Vref	I	外部基準抵抗接続端子。 外部抵抗 18[kΩ]+510[Ω] (±1%) 及び 0.01μF を AVSS 間に接続。
42	Rext	I	外部基準抵抗接続端子。 外部抵抗 11[kΩ]+620[Ω] (±1%) を AVSS 間に接続。
43	CPS	I	CablePowerStatus 検出用端子。 220(±5%)[kΩ] を介して Cable Power(Vp) へ接続。 未使用時は、AVDD1 に接続。 [5-2-9 参照]
46,47,48	TpBias[2:0]	O	ケーブルバイアス出力端子。 0.33[μF] を介して AVSS へ接続。
49,53,57	TpB[2:0]n	I/O	Arbitration/Speed Signal/Data 出力、 Arbitration/Strobe 入力。逆相入出力端子。
50,54,58	TpB[2:0]p	I/O	Arbitration/Speed Signal/Data 出力、 Arbitration/Strobe 入力。正相入出力端子。
51,55,59	TpA[2:0]n	I/O	Arbitration/Strobe 出力、 Arbitration/Speed Signal/Data 入力。逆相入出力端子。
52,56,60	TpA[2:0]p	I/O	Arbitration/Strobe 出力、 Arbitration/Speed Signal/Data 入力。正相入出力端子。
61,62,64	Disabled[2:0]	I	PHY レジスタポートステータスページの Disabled ビットのハード ウェアリセット初期値としてこの端子の状態を反映。 [3-4-1 Bit 7 参照]
66	LDSEL	I	PHY-Link インターフェイスタイミング設定端子。 [5-1-6 参照]

表 2-2 MD8405 端子表 (2)

ピン番号	ピン名	I/O	機能
69	En_Accel	I	PHY レジスタアドレス 5 の Enab_accel ビットのハードウェアリセット初期値としてこの端子の状態を反映。 [3-2-6 Bit 6 参照]
70	En_Multi	I	PHY レジスタアドレス 5 の Enab_multi ビットのハードウェアリセット初期値としてこの端子の状態を反映。 [3-2-6 Bit 7 参照]
73	AVDD2	-	アナログ電源 2。 ケーブルインターフェイスドライバ用電源。
75,76	TEST[1:0]	I	テストモード制御端子。通常は DVDD に接続する。
77	DIRECT	I	PHY-Link インターフェイス動作モード設定端子。 "L":AC 接続 "H":DC 接続 [5-1-5 参照]
78	LinkOn	O	Link-On 信号出力。 Link-On は 6.144[MHz]、デューティ 50[%] の AC 信号。 [5-1-3 参照]

表 2-3 MD8405 端子表 (3)

3 コントロールレジスタ

3-1 レジスタアクセス方法

通常、MD8405 の各レジスタは、Link 層 IC からアクセスをします。詳細な方法は、LREQ の 5-1-4-1 章を参照してください。

3-2 レジスタ内容

3-2-1 Register0

アドレス 00h

0	1	2	3	4	5	6	7
Physical_ID						R	PS

Bit 0~5 Physical ID : Physical Node ID (R - 初期値 : 00h)
 Self-ID 期間に決定されたこのノードの ID を示します。
 このビットはバスリセットで初期化され Self-ID 期間 Self-ID パケット送信時に決定されます。
 このビットを含むレジスタアドレス "00h" は Self-ID パケット送信後、ステータス送信として自動的に Link インターフェイスに出力されます。

Bit 6 R : root indicator (R - 初期値 : 0h)
 '1' の場合、このノードがルートに設定されていることを示します。
 このビットはバスリセットで初期化され Tree-ID 期間に決定されます。

Bit 7 PS : Cable Power Status (R - 初期値 : CPS 端子設定)
 CPS 端子の値が反映され、ケーブルからの電源の状態を示します。'1' でケーブルから電源が供給されている事示します。

3-2-2 Register1

アドレス 01h

0	1	2	3	4	5	6	7
RHB	IBR	Gap_count					

Bit 0 RHB : Root Hold Bit (R/W - 初期値 : 0h)
 '1' の場合、このノードが次のバスリセットで root になるように要求します。
 このビットはまた、PHY configuration パケット送受信により自動的に設定されます。

Bit 1 IBR : Initiate Bus Reset (R/W - 初期値 : 0h)
 このビットを '1' に設定するとすぐにバスリセットを開始します。
 このビットはバスリセットにより初期化されます。

Bit 2~7 Gap_Count : Gap Count (R/W - 初期値 : 3Fh)
 Gap Count 値。
 このビットは PHY Configuration パケット送受信によっても自動的に設定されます。
 このビットは設定後に起こる最初のバスリセットでは値を保持していますがその次のバスリセットにより初期化されます。

3-2-3 Register2

アドレス 02h

0	1	2	3	4	5	6	7
Extended				Total_ports			

Bit 0~2 Extended : (R - 初期値 : 111b)
MD8405 がサポートするレジスタマップ、'111b' が読めます。

Bit 3 Reserved : (R - 初期値 : 0h)
通常は 0('00b') が読めます。

Bit 4~7 Total_ports : Total of Port (R - 初期値 : 3h)
MD8405 が持っているポート数を示します。通常は 3 ('0011') が読めます。

3-2-4 Register3

アドレス 03h

0	1	2	3	4	5	6	7
Max_speed				Delay			

Bit 0~2 Max_Speed : Speed (R - 初期値 : S200="L" : 2h、S200="H" : 1h)
MD8405 がサポートする最大転送速度を示します。S200 端子が "L" の場合、2 ('010') が読めます。S200 端子が "H" の場合、1 ('001') が読めます。

Bit 3 Reserved : (R - 初期値 : 0h)
通常は 0('00b') が読めます。

Bit 4~7 Delay : (R - 初期値 : 1h)
MD8405 のリピート時 Delay のワーストケース時間を示します。通常は 1 ('0001') が読まれ、MD8405 の最大リピート遅延時間は 164ns です。

3-2-5 Register4

アドレス 04h

0	1	2	3	4	5	6	7
Link_active	Contender	Jitter			Power_class		

Bit 0 Link_active : Link active (R/W - 初期値 : 1h)
このビットは Self-ID パケットの L (link_active) フィールドの値を制御します。
Self-ID パケットの L (Link_active) フィールドにはこのビットと LPS により検出された Link アクティブ信号の論理積を取った値が反映されます。
このビットはハードウェアリセットにより '1' に初期化されます。

Bit 1 Contender : CMC (R/W - 初期値 : CMC 端子設定)

このビットは Self-ID パケットの c (CONTENDER) フィールドに反映されます。
 その意味は Self-ID パケットの c (CONTENDER) フィールドと同様です。
 このビットはハードウェアリセットにより CMC に初期化されます。

Bit 2~4 Jitter : Jitter (R - 初期値 : 1h)

MD8405 のリピート時 Delay の最大と最小時間の差を示します。通常 '1' が読めます。
 MD8405 のリピート時のジッタは 40ns です。

Bit 5~7 Power_class : Power Class (R/W - 初期値 : PC 端子設定)

このビットは Self-ID パケットの pwr (POWER_CLASS) フィールドに反映されます。
 その意味は Self-ID パケットの pwr (POWER_CLASS) フィールドと同様です。
 このビットはハードウェアリセットにより PC[0:2] に初期化されます。

bit5: PC0(Pin2)

bit6: PC1(Pin1)

bit7: PC2(Pin79)

3-2-6 Register5

アドレス 05h

0	1	2	3	4	5	6	7
Resume_int	ISBR	Loop	Pwr_fail	Timeout	port_event	Enab_accel	Enab_multi

Bit 0 Resume_int : Resume interrupt enable (R/W - 初期値 : 0h)

このビットを '1' に設定するとポートの Resume が起こったときに Port_event ビットをセットします。

Bit 1 ISBR : Initiate Short (Arbitrated) Bus Reset (R/W - 初期値 : 0h)

このビットを '1' に設定するとアービトレーションショートバスリセットを開始します。
 このビットはバスリセットにより初期化されます。

Bit 2 Loop : Loop detect (R/W - 初期値 : 0h)

'1' の場合、バスがループになっていることを示します。
 このビットはハードウェアリセット又は '1' を書き込むことによってクリアされます。

Bit 3 Pwr_fail : Cable power failure detect (R/W - 初期値 : 0h)

'1' の場合、PS ビットが 1 から 0 に変化したことを示します。
 このビットはハードウェアリセット又は '1' を書き込むことによってクリアされます。

Bit 4 Timeout : Arbitration state machine timeout (R/W - 初期値 : 0h)

'1' の場合、このノードが A0:Idle、T0:Tree_IDStart 以外のある状態から
 MAX_ARB_STATE_TIME 時間以上抜けなかったことを示します。
 このビットはハードウェアリセット又は '1' を書き込むことによってクリアされます。

Bit 5 Port_event : Port_event detect (R/W - 初期値 : 0h)

MD8405 は Int_enable が '1' に設定されている場合、Connected、Bias、Disabled、Fault ビット
 の変化を検出するとこのビットに '1' をセットします。又、Resume_int が '1' に設定されている
 場合、Resume が起こるとこのビットに '1' をセットします。
 このビットはハードウェアリセット又は '1' を書き込むことによってクリアされます。

Bit 6 Enab_accel : Enable arbitration acceleration (R/W - 初期値 : En_Accel 端子設定)

このビットを '1' に設定すると MD8405 は Ack-acceleration アービトレーション、Fly-by アービトレーションを行います。
 このビットを '0' に設定すると MD8405 は acceleration アービトレーションを行いません。
 このビットはハードウェアリセットにより初期化されます。

- Bit 7 Enab_multi** : Enable multi-speed packet concatenation (R/W - 初期値 : En_Multi 端子設定)
 このビットを '1' に設定すると MD8405 は Concatenated パケット転送リクエストの検出と同時にそのパケットの転送スピードを検出します。
 このビットを '0' に設定すると MD8405 は Concatenated パケット転送を最初のパケットと同じスピードで行います。
 このビットはハードウェアリセットにより初期化されます。

3-2-7 Register6

アドレス 06h

0	1	2	3	4	5	6	7

- Bit 0~7 Reserved** (R - 初期値 : 0h)
 予約

3-2-8 Register7

アドレス 07h

0	1	2	3	4	5	6	7
Page_select				Port_select			

- Bit 0~2 Page_select** (R/W - 初期値 : 0h)
 PHY レジスタのアドレス 1000b から 1111b にどのページをアクセスするかを設定します。

- Bit 3 Reserved** (R - 初期値 : 0h)
 予約

- Bit 4~7 Port_select** (R/W - 初期値 : 0h)
 Page_select ビットが Port Status Page を選択している場合、PHY レジスタのアドレス 1000b から 1111b にどのポートをアクセスするかを設定します。

3-3 レジスター一覧

Name	Address	0	1	2	3	4	5	6	7
Register0	0000	Physical_ID						R	PS
Register1	0001	RHB	IBR	Gap_count					
Register2	0010	Extended				Total_ports			
Register3	0011	Max_speed				Delay			
Register4	0100	Link_active	Contender	Jitter			Power_class		
Register5	0101	Resume_int	ISBR	Loop	Pwr_fail	timeout	port_event	Enab_accel	Enab_mult
Register6	0110								
Register7	0111	Page_Select				Port_Select			
-	1000	Register8							
-	1001	Register9							
-	1010	RegisterA							
-	1011	RegisterB							
-	1100	RegisterC							
-	1101	RegisterD							
-	1110	RegisterE							
-	1111	RegisterF							

表 3-1 レジスター一覧表

3-4 Page_select=0 (Port Status page)

このレジスタは各ポートの状態を反映します。Port_select ビットを設定することによりアクセスしたいポートを選択できます。

3-4-1 Register00

アドレス 08h

0	1	2	3	4	5	6	7
Astat		Bstat		Child	Connected	Bias	Disabled

Bit 0~1 Astat : Status of TPA (R - 初期値 : 3h)
 TpA の状態を示します。値の意味は下記のとおりです。
 '11b': Z
 '01b': 1
 '10b': 0
 '00b': invalid

Bit 2~3 Bstat : Status of TPB (R - 初期値 : 3h)
 TpB の状態を示します。値の意味は下記のとおりです。
 '11b': Z
 '01b': 1
 '10b': 0
 '00b': invalid

Bit 4 Child : Child (R - 初期値 : 0h)
 '1' の場合、ポートが Child であることを示します。'0' の場合、ポートが Parent です。
 このビットはバスリセットで初期化され Tree-ID 期間に決定されます。

Bit 5 Connected : Connected (R - 初期値 : 0h)
 '1' の場合、MD8405 はポートに対向ノードが接続されていると認識していることを示します。

Bit 6 Bias : Cable Bias (R - 初期値 : 0h)
 ポートに検出されるケーブルバイアスを反映します。
 '1' でポートに TpBias を検出したことを示します。

Bit 7 Disabled : Port Disabled (R/W - 初期値 : DISABLED)
 '1' に設定された場合このポートは Disabled 状態です。
 このビットはハードウェアリセットにより初期化されます。

3-4-2 Register01

アドレス 09h

0	1	2	3	4	5	6	7
Negotiated_speed			Int_enable	Fault			

Bit 0~1 Negotiated_speed : Negotiate speed (R - 初期値 : 0h)
 ポートに対向して接続されているノードのスピードを示します。
 このビットはバスリセットで初期化され Self-ID 期間に決定されます。

値の意味は下記のとおりです。

'000b': 対向ノードの最大転送速度が 100Mbps であることを示します。

'001b': 対向ノードの最大転送速度が 200Mbps であることを示します。

'010b': 対向ノードの最大転送速度が 400Mbps であることを示します。

Bit 2 **Int_enable** : Enable port event interrupt (R/W - 初期値 : 0h)

'1' が設定された場合、このポートの Connected,Bias,Disabled,Fault ビットが変化したとき、Port_event ビットを '1' にセットします。

このビットはハードウェアリセットにより初期化されます。

Bit 3 **Fault** : (R/W - 初期値 : 0h)

'1' の場合、Suspend/Resume 動作中にエラーが起こった事を示します。

このビットはハードウェアリセット又は '1' を書き込むことによってクリアされます。

Bit 4~7 **Reserved** : (R - 初期値 : 0h)

予約

3-4-3 Register02

アドレス 0Ah

0	1	2	3	4	5	6	7

Bit 0~7 **Reserved** : (R - 初期値 : 0h)

予約

3-4-4 Register03

0	1	2	3	4	5	6	7

アドレス 0Bh

Bit 0~7 **Reserved** : (R - 初期値 : 0h)

予約

3-4-5 Register04

0	1	2	3	4	5	6	7

アドレス 0Ch

Bit 0~7 **Reserved** : (R - 初期値 : 0h)

予約

3-4-6 Register05

アドレス 0Dh

0	1	2	3	4	5	6	7

Bit 0~7 **Reserved** : (R - 初期値 : 0h)
予約

3-4-7 Register06

アドレス 0Eh

0	1	2	3	4	5	6	7

Bit 0~7 **Reserved** : (R - 初期値 : 0h)
予約

3-4-8 Register07

アドレス 0Fh

0	1	2	3	4	5	6	7

Bit 0~7 **Reserved** : (R - 初期値 : 0h)
予約

3-5 Page_select=0 一覧

Name	Address	0	1	2	3	4	5	6	7
Register00	1000	Astat		Bstat		Child	Connected	Bias	Disabled
Register01	1001	Negotiated_speed			Int_enable	Fault			
Register02	1010								
Register03	1011								
Register04	1100								
Register05	1101								
Register06	1110								
Register07	1111								

表 3-2 page_select=0 一覧表

3-6 Page_select=1 (Vendor Identification page)**3-6-1 Register10**

アドレス 08h

0	1	2	3	4	5	6	7
Compliance_level							

Bit 0~7 Compliance_level : (R - 初期値 : 1h)
通常 '1' が読まれます。

3-6-2 Register11

アドレス 09h

0	1	2	3	4	5	6	7

Bit 0~7 Resrved : (R - 初期値 : 0h)
予約

3-6-3 Register12

アドレス 0Ah

0	1	2	3	4	5	6	7
Vendor_ID[23:16]							

Bit 0~7 Vendor_ID[23:16] : (R - 初期値 : 00h)
通常 '00h' が読まれます。

3-6-4 Register13

アドレス 0Bh

0	1	2	3	4	5	6	7
Vender_ID[15:8]							

Bit 0~7 Vender_ID[15:8] : (R - 初期値 : C0h)
通常 'C0h' が読まれます。

3-6-5 Register14

アドレス 0Ch

0	1	2	3	4	5	6	7
Vender_ID[7:0]							

Bit 0~7 Vender_ID[7:0] : (R - 初期値 : 2Dh)
通常 '2Dh' が読めます。

3-6-6 Register15

アドレス 0Dh

0	1	2	3	4	5	6	7
Product_ID[23:16]							

Bit 0~7 Product_ID[23:16] : (R - 初期値 : 30h)
通常 '30h' が読めます。

3-6-7 Register16

アドレス 0Eh

0	1	2	3	4	5	6	7
Product_ID[15:8]							

Bit 0~7 Product_ID[15:8] : (R - 初期値 : 35h)
通常 '35h' が読めます。

3-6-8 Register17

アドレス 0Fh

0	1	2	3	4	5	6	7
Product_ID[7:0]							

Bit 0~7 Product_ID[7:0] : (R - 初期値 : 65h)
通常 '65h' が読めます。

3-7 Page_select=1 一覧

Name	Address	0	1	2	3	4	5	6	7
Register10	1000	Compliance_level							
Register11	1001								
Register12	1010	Vendor_ID[23:16]							
Register13	1011	Vender_ID[15:8]							
Register14	1100	Vender_ID[7:0]							
Register15	1101	Product_ID[23:16]							
Register16	1110	Product_ID[15:8]							
Register17	1111	Product_ID[7:0]							

表 3-3 page_select=1 一覧表

3-8 Page_select=7 (Vendor Dependent page)

3-8-1 Register70

アドレス 08h

0	1	2	3	4	5	6	7

Bit 0~7 **Reserved :** (R - 初期値 : 0h)
予約

3-8-2 Register71

アドレス 09h

0	1	2	3	4	5	6	7
LPSISBR							EnDV

Bit 0 **LPSISBR :** (R/W - 初期値 : 0h)
'1'を設定することにより LPS ディセーブル後 ISBR をセットします。
Power_class、Contender ビットを PC、C に初期化し、RHB ビットをクリアします。

Bit 1~6 **Reserved :** (R - 初期値 : 0h)
予約

Bit7 **EnDV :** (R/W - 初期値 : 1h)
'1'にセットすることにより、BIAS_HANDSHAKE_TIME を変更します。
'0'の場合は P1394a Draft Ver2.0 規格で動作します。
ハードウェアリセット後は初期化されます。
SR 端子 ="L" の時はこのビットは無効です。

3-8-3 Register72

アドレス 0Ah

0	1	2	3	4	5	6	7

Bit 0~7 **Reserved :** (R - 初期値 : 0h)
予約

3-8-4 Register73

アドレス 0Bh

0	1	2	3	4	5	6	7

Bit 0~7 **Reserved** : (R - 初期値 : 0h)
予約

3-8-5 Register74

アドレス 0Ch

0	1	2	3	4	5	6	7

Bit 0~7 **Reserved** : (R - 初期値 : 0h)
予約

3-8-6 Register75

アドレス 0Dh

0	1	2	3	4	5	6	7

Bit 0~7 **Reserved** : (R - 初期値 : 0h)
予約

3-8-7 Register76

アドレス 0Eh

0	1	2	3	4	5	6	7

Bit 0~7 **Reserved** : (R - 初期値 : 0h)
予約

3-8-8 Register77

アドレス 0Fh

0	1	2	3	4	5	6	7

Bit 0~7 **Reserved** : (R - 初期値 : 0h)
予約

3-9 Page_select=7 一覧

Name	Address	0	1	2	3	4	5	6	7
Register70	1000								
Register71	1001	LPSISBR							EnDV
Register72	1010								
Register73	1011								
Register74	1100								
Register75	1101								
Register76	1110								
Register77	1111								

表 3-4 page_select=7 一覧表

4 データフォーマット

4-1 Self-ID Packet

MD8405 が送信する Self-ID はパケット 2quadlet で、図 4-1 に示すフォーマットに従います。

MD8405 はバス初期化の Self-ID 期間に、以下の Self-ID パケットを送信します。

また、MD8405 は Ping パケットを受信するとそのレスポンスとして自動的に Self-ID パケットを送信します。

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
10	phy-ID							0	L	gap_cnt						sp	rsv	c	pwr			p0	p1	p2	i	m					
logical inverse of first quadlet																															

図 4-1 Self-ID パケットフォーマット

phy_ID : physical_ID フィールド
自分自身の physical_ID。

L : Link_active フィールド
Self-ID パケット送信時の LPS 端子の論理値と PHYRegister4 の Link_active ビットの論理積が反映されます。

gap_cnt : gap_count フィールド
PHY Register1 Gap_Count の値が反映されます。

sp : PHY_SPEED フィールド
00 = 98.304Mbps
01 = 98.304 と 196.608Mbps
10 = 98.304 と 196.608 と 393.216Mbps
11 = 予約
使用可能なスピードが格納されます。MD8405 では、10 固定です。S200 端子が "L" の場合 10、S200 端子が "H" の場合 01 です。

rsv : 00 固定です。

C : CONTENDER フィールド
PHYRegister4 の Contender ビットの値が反映されます。

pwr : POWER_CLASS フィールド
bit21 = PC0(Pin2)
bit22 = PC1(Pin1)
bit23 = PC2(Pin79)
PHYRegister4 の Pwr ビットが反映されます。IEEE1394a Draft Ver2.0 では以下のように定義されています。

- 000 = ノードは電源を必要としません。ノードは電源をリピートしません。
- 001 = ノードは電源を自分自身で持ち、最小 15W を供給できます。
- 010 = ノードは電源を自分自身で持ち、最小 30W を供給できます。
- 011 = ノードは電源を自分自身で持ち、最小 45W を供給できます。
- 100 = ノードはケーブルから電源を最大でも 3W まで消費します。しかし、Link やそれより上位の層をイネーブルするために電力を消費しません。
- 101 = 予約。
- 110 = ノードはケーブルから電源を最大でも 3W まで消費します。さらに、Link やそれより上位の層をイネーブルするために 3W まで消費します。

111 = ノードはケーブルから電源を最大でも 3W まで消費します。さらに、Link やそれより上位の層をイネーブルにするために 7W まで消費します。

p0 ... p2 : Port status フィールド

11 = Active がかつ child ノードに接続されています。
 10 = Active がかつ parent ノードに接続されています。
 01 = Active ではありません。(disabled,disconnected,suspended)
 00 = この PHY は提供していません。
 ポートのステータスを示します。

i : initiated_reset フィールド

今回、このノードが BusReset を発行したことを示します。

m : more_packets フィールド

複数の Self-ID パケットを送信する場合、このフィールドは 1 にセットされますが、MD8405 では 0 固定です。

4-2 Link-on Packet

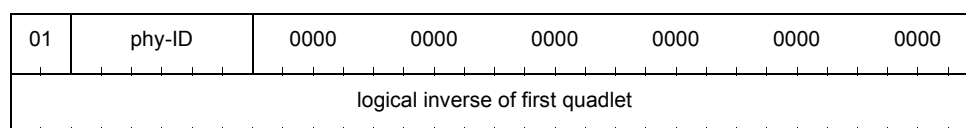


図 4-2 Link-on パケットフォーマット

4-3 PHY Configuration Packet

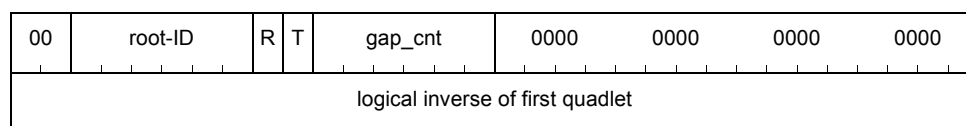


図 4-3 PHY Configuration パケットフォーマット

4-4 Extended PHY Packet

4-4-1 Ping Packet

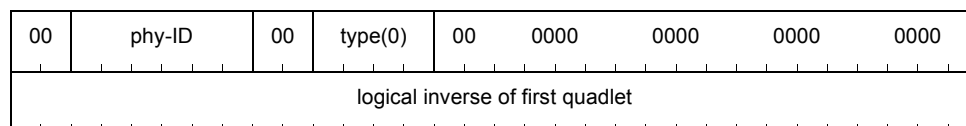


図 4-4 Ping パケットフォーマット

4-4-2 Remote Access Packet

00	phy-ID	00	type	page	port	reg	reserved
logical inverse of first quadlet							

図 4-5 Remote Access パケットフォーマット

4-4-3 Remote Reply Packet

00	phy-ID	00	type	page	port	reg	data
logical inverse of first quadlet							

図 4-6 Remote Reply パケットフォーマット

4-4-4 Remote Command Packet

00	phy-ID	00	type(8)	000	port	0000	0000	cmnd
logical inverse of first quadlet								

図 4-7 Remote Command パケットフォーマット

4-4-5 Remote Confirmation Packet

00	phy-ID	00	type(Ah)	000	port	000	f	c	b	d	ok	cmnd
logical inverse of first quadlet												

図 4-8 Remote Confirmation パケットフォーマット

4-4-6 Resume Packet

00	phy-ID	00	type(Fh)	00	0000	0000	0000	0000
logical inverse of first quadlet								

図 4-9 Resume パケットフォーマット

5 機能説明

5-1 Link チップインターフェイス

5-1-1 接続方法

5-1-1-1 DC 接続

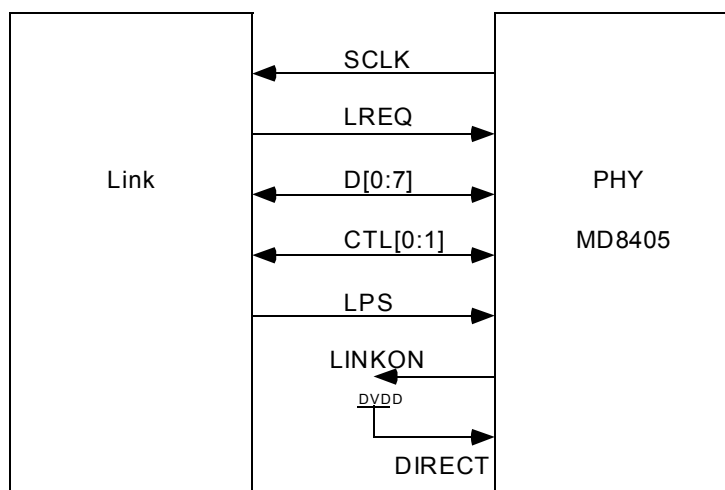


図 5-1 MD8405 と Link チップの接続図 (DC 接続)

5-1-1-2 AC 接続

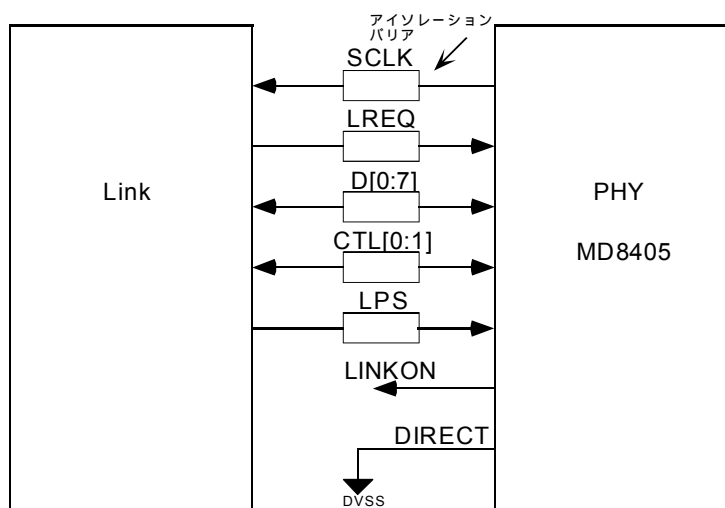


図 5-2 MD8405 と Link チップの接続図 (AC 接続)

5-1-2 LPS(Link Power Status)

LPS 端子への入力により MD8405 は PHY/Link インターフェイスをイネーブル/ディセーブルします。

MD8405 は LPS 端子が T_{LPS_RESET} 期間論理的にデアサートであると認識すると PHY/Link インターフェイスをリセットします。PHY/Link インターフェイスが DC 接続の場合、MD8405 は Ctl[0:1],D[0:7] に 0 を出力します。AC 接続の場合は Hi-Z 状態にします。

さらに MD8405 は LPS 端子が $T_{LPS_DISABLE}$ 期間論理的にデアサートであると認識すると PHY/Link インターフェイスをディセーブルします。PHY/Link インターフェイスが DC 接続の場合、MD8405 は SCLK,Ctl[0:1],D[0:7] に 0 を出力します。AC 接続の場合は Hi-Z 状態にします。

PHY/Link インターフェイスがリセットされた場合すべてのバスリクエスト、レジスタリードリクエストはキャンセルされます。

Link がパケット転送中に PHY/Link インターフェイスがリセットされた場合 MD8405 はパケット転送が終了したと認識し動作します。

PHY/Link インターフェイスをディセーブルしている期間のステータス出力は行われません。また、この情報は PHY/Link インターフェイスをイネーブルした後も出力されません。

PHY/Link インターフェイスがリセット/ディセーブル後 MD8405 は LPS がアサートされたことを検出するとディセーブル後は SCLK の出力を開始します。PHY/Link インターフェイスが DC 接続の場合、MD8405 は LPS の検出後 7SCLK サイクル Ctl,D に 0 を出力し、8SCLK 目に PHY/Link インターフェイスに Data_Prefix の Receive(Ctl[0:1]=10b,D[0:7]=ffh) を出力し通常動作に戻ります。AC 接続の場合、LPS の検出後 1 から 6SCLK サイクル内の 1SCLK サイクル期間 Ctl,D に 0 を出力し、8SCLK サイクル目に PHY/Link インターフェイスに Data_Prefix の Receive(Ctl[0:1]=10b,D[0:7]=ffh) を出力し通常動作に戻ります。それ以外の期間は Hi-Z 状態です。

この時このノードがパケット受信中であるとパケット受信が終了するまで PHY/Link インターフェイスに Data_Prefix の Receive を出力し続けます。

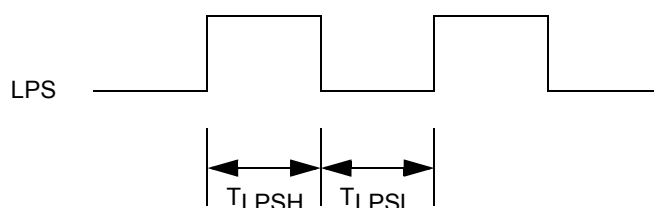


図 5-3 AC 接続時の LPS 波形

記号	項目	単位	MIN	MAX
TLPSL	LPS low 時間 (パルス時)	μs	0.09	1.00
TLPSH	LPS high 時間 (パルス時)	μs	0.09	1.00
TLPS_RESET	MD8405 が、LPS を論理的にデアサートだと認識し、PHY/Link インターフェイスをリセットする時間	μs	1.2	2.7
TLPS_DISABLE	MD8405 が、LPS を論理的にデアサートだと認識し、PHY/Link インターフェイスをディセーブルする時間	μs	25	30

表 5-1 LPS タイミング

5-1-3 LinkOn

MD8405 は LPS が論理的にデアサートであると認識するか、PHY レジスタの Link_active ビットが 0 である場合に Link が非アクティブであると認識します。

通常 LinkOn は "L" を出力していますが、MD8405 が Link が非アクティブであると認識している間にこのノード宛の LinkOn パケットを受信すると LinkOn の信号を出力します。

また、この間に PHY レジスタの Loop ビット、Pwr_fail ビット、Timeout ビット、Port_event ビットが 1 に変化した場合は Interrupt 出力として LinkOn 信号を出力します。

LinkOn 信号は Link が非アクティブである期間出力され続けます。その後、Link がアクティブになると LinkOn は "L" を出力します。

LinkOn 信号は周波数 6.144MHz、デューティー 50% の AC 信号です。

5-1-4 Link インターフェイス (LREQ、CTL[0:1]、D[0:7])

MD8405 の PHY-Link インターフェイスは IEEE P1394a Draft Ver2.0 に準拠しています。

PHY-Link インターフェイスでは LREQ によるリクエスト、また CTL によるステータス送信、パケット転送、パケット受信の 4 つの動作があります。リクエスト以外の CTL を使う動作はまず PHY により制御されます。

MD8405 はパケットを受信すると優先的にパケット受信動作を開始します。

表 5-2、表 5-3 に CTL の状態とその意味を示します。

CTL[0:1]	動作	内容
00b	Idle	何も動作していないアイドル状態（デフォルトモード）
01b	Status	ステータス情報の転送を行う
10b	Receive	受信パケット内容の転送を行う
11b	Grant	パケット転送するために PHY-Link インターフェイスを Link に与える

表 5-2 PHY が CTL を制御する動作

上記 Grant 後 Link が PHY-Link のバスをコントロールできるようになった後は表 5-3 に示す動作モードになります。

CTL[0:1]	動作	内容
00b	Idle	パケット転送を完了。PHY-Link インターフェイスを開放する。
01b	Hold	・転送パケットデータが確定するまで PHY-Link インターフェイスをホールドしている。 ・Concatenated パケット転送を要求する
10b	Transmit	PHY に転送パケットのデータを入力している。
11b	Reserved	予約

表 5-3 Link が CTL を制御する動作

5-1-4-1 LREQ

パケット送信、PHY レジスタのアクセスまたは、アクセラレーションコントロールを要求するために、Link チップは LREQ 端子に SCLK に同期したシリアル信号を入力します。このシリアル信号にはリクエストタイプ、転送するパケットの速度、読み出し/書き込みコマンドの情報が含まれます。

LREQ シリアル信号の長さはその要求のタイプにより異なり、アクセラレーションコントロールリクエストでは 6 ビット、バスリクエストでは 7 ビット、レジスタリードリクエストでは 9 ビット、レジスタライトリクエストでは 17 ビットとなります。

このシリアル信号は最後にストップビットとして '0' を送信する必要があります。

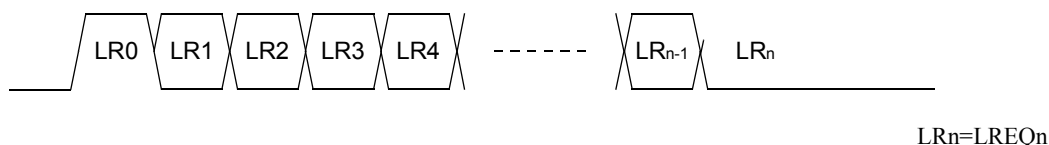


図 5-4 LREQ ストリーム

パケット転送要求は表 5-4 に示す 7 ビット長のフォーマットにて行われます。

Bit(s)	タイプ	内容
0	Start Bit	転送開始を示す。いつも '1' を転送する。
1~3	Request Type	表 5-9 に示す要求のタイプを示す。
4~5	Request Speed	転送するパケットの速度を示す。
6	Stop Bit	転送完了を示す。いつも '0' を転送する。

表 5-4 Request フォーマット

LREQ[4:5]	Data Rate
00	100Mbps
01	200Mbps
10	400Mbps
11	Reserved

表 5-5 Speed フォーマット

PHY チップのレジスタ読み出しの要求は表 5-6 に示す 9 ビット長のフォーマットにて行われます。また、レジスタ書き込み要求は表 5-7 に示す 17 ビット長のフォーマットにて行われます。

Bit(s)	タイプ	内容
0	Start Bit	転送開始を示す。いつも '1' を転送する。
1~3	Request Type	表 5-9 に示す要求のタイプを示す。
4~7	Address	読み出す PHY のレジスタのアドレスを示す。
8	Stop Bit	転送完了を示す。いつも '0' を転送する。

表 5-6 Read Register フォーマット

Bit(s)	タイプ	内容
0	Start Bit	転送開始を示す。いつも '1' を転送する。
1~3	Request Type	表 5-9 に示す要求のタイプを示す。
4~7	Address	書き込む PHY のレジスタのアドレスを示す。
8~15	Data	書き込む PHY のレジスタのデータを示す。
16	Stop	転送完了を示す。いつも '0' を転送する。

表 5-7 Write Register フォーマット

アクセラレーションコントロール要求は表 5-8 に示す 6 ビット長のフォーマットにて行われます。

Bit(s)	タイプ	内容
0	Start Bit	転送開始を示す。いつも '1' を転送する。
1~3	Request Type	表 5-9 に示す要求のタイプを示す。
4	Accelerate	'0' の時、アービトレーションアクセラレーションをディセーブルすることを示す。 '1' の時、アービトレーションアクセラレーションをイネーブルすることを示す。
5	Stop Bit	転送完了を示す。いつも '0' を転送する。

表 5-8 アクセラレーションコントロールフォーマット

LREQ[1:3]	タイプ	内容
000	ImmReq	イミディエート要求
001	IsoReq	Isochronous 要求
010	PriReq	プライオリティ要求
011	FairReq	フェア要求
100	RdReg	設定したレジスタの内容を読み出し
101	WrReg	設定したレジスタに書き込み
110	AccCtrl	PHY アービトレーションアクセラレーションをディセーブル/イネーブルする。
111	Reserved	Reserved

表 5-9 Request Type

フェアリクエスト及びプライオリティリクエストは CTL が Idle になってから少なくとも 1SCLK 以降から LREQ の発行を開始しなければなりません。Link がこれらのリクエストを発行中または発行後に CTL が Receive となった場合、MD8405 はこのリクエストをキャンセルします。そのため Link は次に CTL が idle になった時に再度このリクエストを発行する必要があります。

但し、PHYRegister5 の Enab_accel ビットが '1' に設定され、アクセラレーションアービトレーション (Ack-Acceleration アービトレーション、Fly-By アービトレーション) がイネーブルとなっている時でかつ、受信

パケットが Ack パケット (8 ビット長のパケット) であった場合は、そのリクエストはこの Receive によりキャンセルされません。

サイクルマスターの Link はサイクルスタートパケットを転送するために PriReq を発行します。

アイソクロナスパケットを送信するために Link は IsoReq を発行します。IsoReq はサイクルスタートパケット、もしくはアイソクロナスパケットの送信中および送信後 8SCLK サイクル以内か受信中および受信後 4SCLK サイクル以内に発行しなければなりません。

MD8405 は IsoReq を、アービトレーションに勝ち Link に Grant を送信したとき、サブアクションギャップを検出したとき、またはバスリセットが起こったときのみクリアします。

Ack パケットを送信するために Link はパケット受信中および受信後 4SCLK サイクル以内に ImmReq を発行します。ACK_RESPONSE_TIME を満足するために、Link は受信パケットの destination_ID を確認し、このノード宛のパケットであることを確認した直ちに ImmReq を発行しなければなりません。MD8405 はパケット受信終了後すぐにバスを取得し Link に Grant を返します。もし Link が CRC エラーを発見した場合は Link はその Grant にデータを返さずに、そのリクエストをキャンセルしなければいけません。(5-1-4-3Transmit 参照)

レジスタライトリクエストの受信が完了するとすぐに MD8405 はそのアドレスのデータを書き換えます。

レジスタリードリクエストを受信すると MD8405 はそのアドレスのデータをステータス送信として Link に出力します。もしパケット受信 / 送信によりその出力が中断された場合は MD8405 はそのステータス出力が完全に終了するまで再び最初のビットからステータス出力を繰り返します。

MD8405 は 1 つのバスリクエスト (FairReq, PriReq, IsoReq, ImmReq) を受信するとそのリクエストがパケット受信、パケット送信、サブアクションギャップ (IsoReq, ImmReq の場合のみ) 等によりキャンセルされるまで次のバスリクエストを無視します。

MD8405 はレジスタリードリクエストが完了する前に次のレジスタリードリクエストを受信した場合、その動作は不定となります。

すべてのバスリクエストはバスリセットによりクリアされます。

PHYRegister5 の Enab_accel ビットが '1' に設定されアクセラレーションアービトレーション (Ack-Accelerationアービトレーション、Fly-Byアービトレーション) がイネーブルとなっている場合にも、MD8405 はアクセラレーションコントロールリクエストにより、Accelerating ビットが '0' の期間、アシンクロナスパケットのアクセラレーションアービトレーションをディセーブルします。

MD8405 は IsoReq によっても自動的に Accelerating ビットをセットし、アクセラレーションアービトレーションをイネーブルします。

5-1-4-2 Status 出力

MD8405 は表5-10で示される情報をステータス出力としてLinkインターフェイスに出力します。MD8405 は CTL 端子に '01b' をアサートし D[0:1] 端子に情報を出力します。ステータス出力を行っている期間 CTL 端子は '01b' を出力します。

MD8405 は通常はステータス出力として Link ステートマシンに必要な最初の 4 ビットのみを出力します (Arbitration Reset Gap, Subaction Gap, Bus Reset, PHY interrupt)。

しかし、Link からレジスタリードリクエストを受信したときにはその戻り値として、全てのステータス情報を出力します。また、MD8405 は Self-ID 期間に自分の Self-ID パケットを送信し終わった時点 (自分の physical_ID が確定した時点) で Link に対して自分の physical_ID を含むアドレス '00h' の PHY レジスタ情報を自動的にステータス出力します。

ステータス出力は、パケットの受信 / 送信等により中断される場合があります。ステータス出力が中断された場合は、次のルールにしたがってそのステータス情報を繰り返し出力します。

- 中断される前に出力し終わった情報はクリアされステータス出力は繰り返されません。
- ステータス出力は S[0:1] ビットから開始され 4 ビット / 16 ビット単位で行われます。

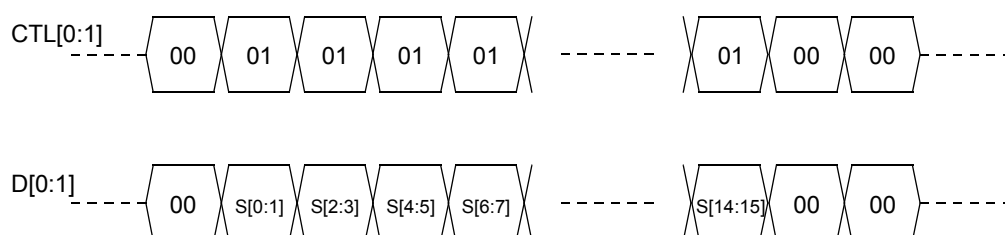


図 5-5 Status

Bit(s)	タイプ	内容
0	Arbitration Reset Gap	Arbitration Reset Gap を検出
1	Subaction Gap	Subaction Gap を検出
2	Bus Reset	Bus Reset を検出
3	PHY Interrupt	ホストへ割込みを要求
4~7	Address	ステータスを返す PHY レジスタのアドレス
8~15	Data	ステータスデータ

表 5-10 Status フォーマット

MD8405 は Phy interrupt として次の場合にステータス出力します。

- バスの構成がループになっている事を検出したとき
- ケーブル電圧が低下したことを検出したとき
- MD8405 のステートマシンがタイムアウトしたとき
- Port_event ビットが '1' に変化したとき

5-1-4-3 Transmit

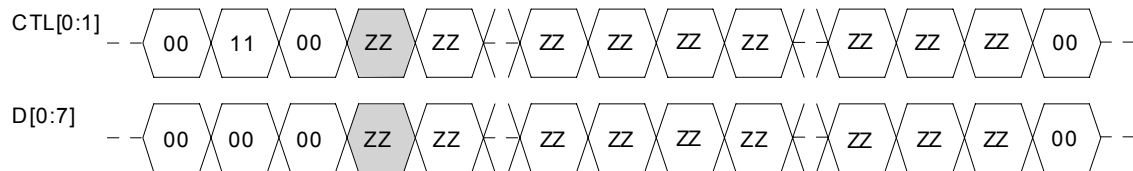
Link からのバスリクエストを受信すると MD8405 はアービトレーションを行います。そのアービトレーションに勝てば MD8405 は Link に対して Grant として CTL 端子に 1SCLK サイクル Grant('11b')と 1SCLK サイクル Idle を返し、CTL、D の制御を Link に与えます。

その後 Link は CTL に Transmit ('10b') かもしくは Hold ('01b') を入力し PHY-Link インターフェイスを制御します。但し、MD8405 は CTL バスでのデータの衝突を防ぐために、Link がその前に 1SCLK だけ Idle ('00b') を入力することを許可しています。(図 5-6 参照)

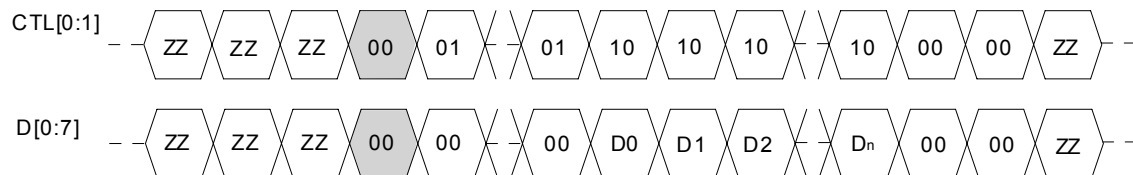
Link は転送データが準備出来るまでの時間 CTL に Hold('01b') を入力しバスの使用を維持出来ますが、MAX_HOLD 時間を超えてはいけません。その後 CTL に Transmit ('10b') を入力し転送データの有効範囲を示します。

Single Packet

PHY Drive

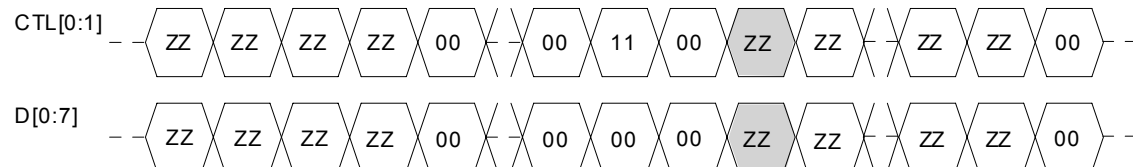


Link Drive



Concatenated Packet

PHY Drive



Link Drive

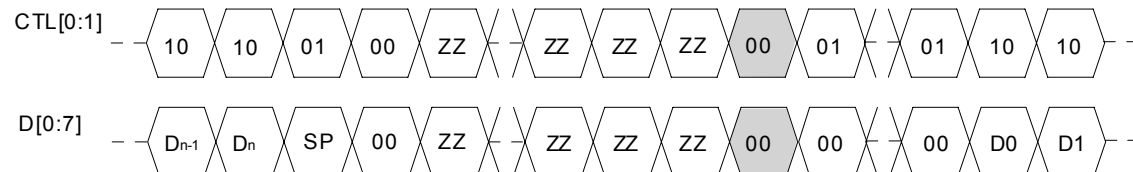


図 5-6 Transmit

パケットデータの最後のビットを入力し終わった後 Link は 1SCLK サイクル Idle ('00b') か Hold ('01b') を入力しその後 1SCLK サイクル Idle を入力します。その後は MD8405 が PHY-Link インターフェイスの制御を行います。

この Hold('01b') ビットは、Link がパケット転送を終了した後、シリアルバスを手放すことなく次のパケットを転送するために使用されます (Concatenated Packet)。MD8405 はこの Hold ビットを検出すると MIN_PACKET_SEPARATION 時間後に再び Link に対して CTL 端子に Transmit を出力します。その後 Link は同様にパケット転送動作を行います。

この Hold 動作は Ack パケット送信後にレスポンスパケットを転送する場合と、同一のアイソクロナス サイクル期間に複数のアイソクロナスパケットを転送する場合に使用されます (Subaction concatenation)。

Concatenated パケット転送を行う場合、MD8405 は PHYRegister5 の Enab_multi ビットの設定により Concatenated パケットの転送スピードを決定します。

Enab_multi ビットが '0' に設定されている場合は MD8405 は、2 つ目以降のパケットスピードは最初のパケットスピードと同じであると認識します。

反対に Enab_multi ビットが '1' に設定されている場合は MD8405 は、その Concatenated パケットの転送スピードは CTL に Hold('01b') を入力されている時に D に入力される SP の値により認識します。この SP の値の意味は表 5-11 に示します。

但し、IEEE1394 では Concatenated パケット転送する場合に転送スピードに関する制限があり、S200 以上で転送されるパケットの後に S100 転送のパケットを Concatenated パケットとして送信することが出来ません。

MD8405 はこのスピード制限を守るために、200Mbps 以上のパケット転送要求があった後に 100Mbps Concatenated パケット転送要求を受信した場合は、その 100Mbps パケットを Single パケットとして送信しようとする為、一度 1394 バスを手放し、再度アービトレーションを行います。そのために Link からのこの 100Mbps Concatenate パケット転送要求は通常の LREQ で入力されるバスリクエストと同様に扱われ、Grant 以外の CTL を返す場合 (リクエストがキャンセルされる場合) があります。

パケットの転送をキャンセルするには次の 2 つの方法があります。

Link が PHY / Link インターフェイスの制御を得た後、3SCLK サイクル Idle ('00b') を入力し、PHY / Link インターフェイスを手放すか、Link が Hold ('01b') を入力し、バスを維持した後に 2SCLK サイクル Idle を入力し、PHY / Link インターフェイスを手放します。

この時、シリアルバスには空パケットが出力されます。

5-1-4-4 Receive

MD8405 がパケットを受信すると Link に対して CTL 端子を Receive('10b')、D 端子には '1' を出力します。その後 MD8405 はスピードコード (SP) を出力しパケットデータの出力を開始します。MD8405 はデータ受信が終了するまで CTL 端子には Receive('10b') をアサートし続けます。その後 MD8405 は Idle('00b') をアサートし、パケットの受信が終了したことを示します。

MD8405 はまた、Self-ID 期間に自分の送信する Self-ID パケットを Link インタフェースに Receive 動作として出力します。

MD8405 はまた、このノードあての Extended PHY パケットに対するレスポンスパケットも Link インタフェースに Receive 動作として出力します。

MD8405 は Receive をアサートした後、パケットデータを出力せずに受信動作を終了する場合があります。

Link が 100Mbps しかサポートしていない場合はスピードコード (SP) を確認し、200Mbps、400Mbps の受信パケットデータを無視する必要があります。

Link が 100/200Mbps しかサポートしていない場合はスピードコード (SP) を確認し、400Mbps の受信パケットデータを無視する必要があります。

PHY Drive

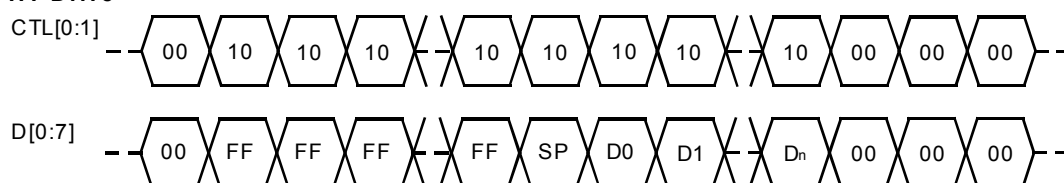


図 5-7 Receive

D[0:7]	Data Rate
00XXXXXXb	100Mbps
0100XXXXb	200Mbps
01010000b	400Mbps

表 5-11 スピードコード (SP[0:7])

5-1-4-5 Link インターフェイス初期化動作

MD8405 は P1394a Draft Ver2.0 で規定されている PHY/Link インターフェイスの初期化動作を行います。初期化は LPS がアサートされた後の SCLK クロックに従って以下の様に行われます。

インターフェイスモード (DIRECT)	
AC 接続 (DIRECT="L")	DC 接続 (DIRECT="H")
LPS がアサートされ、その後 SCLK が出力される。その SCLK の 2 クロック目で CTL[0:1]、D[0:7] に 1 クロック分だけ "0" をドライブ、それ以外は HiZ。その後 8 クロック目に CTL[0:1]="10b" をドライブ、D[0:7] は "FFh" をドライブします。	LPS がアサートされ、その後 SCLK が出力される。その SCLK の 7 クロック目まで CTL[0:1]、D[0:7] に "0" をドライブ、8 クロック目に CTL[0:1]="10b"、D[0:7]="FFh" をドライブ。

表 5-12 Link インターフェイス初期化動作

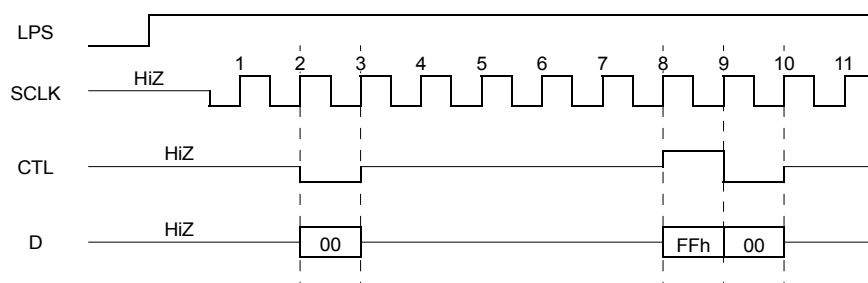


図 5-8 AC 接続時の PHY/Link インターフェイス初期化

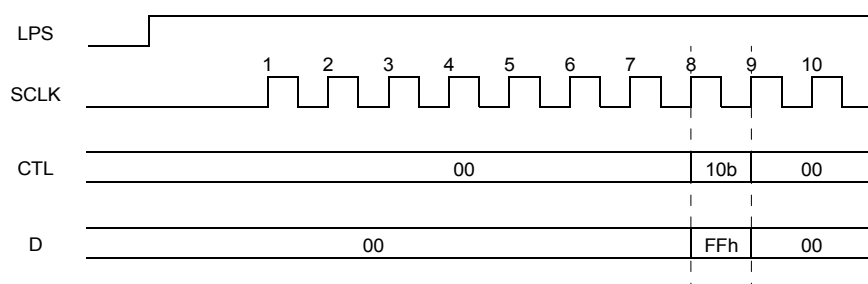


図 5-9 DC 接続時の PHY/Link インターフェイス初期化

5-1-5 DIRECT

この端子には PHY-Link インターフェイスの接続情報を入力します。

PHY-Link インターフェイスが DC 接続されている場合はこの端子を "H" に設定します。

PHY-Link インターフェイスが AC 接続されている場合はこの端子を "L" に設定します。

この端子が "L" に設定されている場合、MD8405 は PHY-Link インターフェイスにアイソレーションバリアが存在すると認識し、CTL、D 信号に論理微分波形を出力します。

(詳細は 5-1-7 アイソレーションバリアの章を参照してください。)

5-1-6 LDSEL

この端子により PHY-Link インターフェイス AC タイミングを設定します。

この端子の設定により、接続する Link の出力遅延時間、アイソレーションバリアの遅延時間を考慮して MD8405 の入力セットアップ / ホールド時間を切り替えることが出来ます。

この端子による PHY-Link インタフェースの AC タイミングを表 6-5 に示します。

5-1-7 アイソレーションバリア

DS(Data-Strobe) エンコード方式を物理コーディングに採用している 1394 Bus ではケーブルを介して接続される対向ノード間で基準グランド電位がダイレクト接続されます。すなわち物理層 IC(PHY) - 1394 ケーブル - PHY は DC 接続されます。このため基準電位の異なるシステム機器同士を 1394 ケーブルで接続する場合は、商用 AC 電源系と 1394 物理層系の電源をアイソレートする必要があります。

システム機器の電源設計に依らず 1394 Bus を使用できるよう PHY-Link インターフェイスはアイソレーション回路の使用を想定して設計されています。IEEE P1394a Draft Ver2.0 にアイソレーションバリアの回路例が掲載されています。MD8405 はこの P1394a Draft Ver2.0 タイプのアイソレーション回路をサポートしており、他のアイソレーション方式には対応していません。また、このアイソレーション回路を使用するためには Link コントローラ IC 側も P1394a Draft Ver2.0 タイプのアイソレーション回路をサポートする必要があります。なお、アイソレーション回路を使わずに Link コントローラ IC とダイレクト接続する場合は上記の制限はありません。

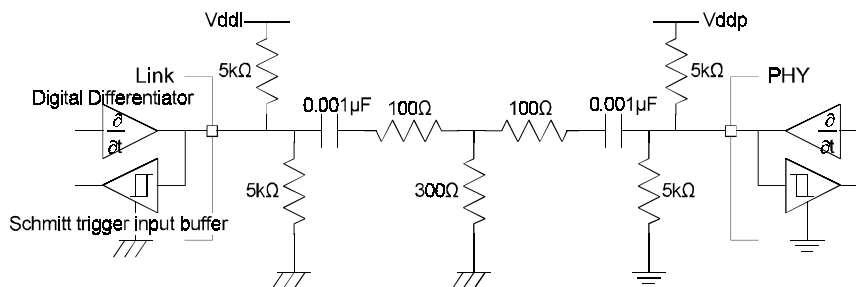


図 5-10 IEEE P1394a Draft Ver2.0 アイソレーションバリア（一例）

図 5-10 に IEEE P1394a Draft Ver2.0 に掲載されているアイソレーションバリア回路の一例を示します。

ここではこの容量タイプのアイソレーションバリアについて動作説明をします。P1394a Draft Ver2.0 には他にトランスタイプのアイソレーションバリアも掲載されています。使用される部品の耐圧の観点から一般的にトランスタイプの方がより大きなグランド電位差での使用に耐えますが、部品サイズの観点からは容量タイプの方がより小さいボードエリアに実装できます。動作原理自体は同一です。

まず、IC 内部の出力部前段には図 5-10 に示されるような「デジタル微分回路」があり、出力論理データ列が 0 から 1 へ、あるいは 1 から 0 へ変化するサイクルのみ実際にインターフェイスを「ドライブ」します。出力論理データ列が変化しないサイクルでは（1 が連続する場合、0 が連続する場合）Z（ハイインピーダンス）状態を保ちます。図 5-11 に微分回路通過前後の波形変化の一例を示します。

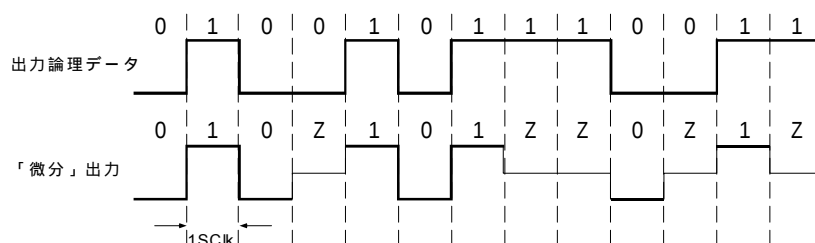


図 5-11 ドライバ回路「微分」出力波形

一方 IC 内部の入力部は入出力特性にヒステリシスを持ったいわゆるシュミットトリガバッファで構成され、上記の微分波形が再びシュミットトリガバッファ通過後に元の論理データ列に再生されます。

このように、アイソレーションバリア回路を使うために上記の「デジタル微分回路」および「シュミットトリガバッファ」が PHY IC、Link コントローラ IC 共に必要です。なお、アイソレーション回路を使わずダイレクト接続される場合は微分回路がバイパスされ、元の出力論理データ列がそのままインターフェイスに出力されます。

図 5-10 には 100Ω のシリーズ抵抗が PHY、Link 両側に入っていますが、これは通常片側にのみ必要で両 IC の電源電圧の差を吸収するアッテネータの役目を果たします。MD8405 は $3.3V$ 駆動のため、 $5V$ 駆動の Link コントローラを使用する場合のみ Link IC 側に 100Ω を接続します。これにより Link $\rightarrow$ PHY 方向のドライブ波形はアッテネートされ、PHY $\rightarrow$ Link 方向はほぼ $3.3V$ 振幅のまま伝達されます。このシリーズ抵抗はピン容量等の寄生容量と共に RC 遅延の主要因となります。 $3.3V$ 駆動の Link コントローラを使用する場合はシリーズ抵抗は不要です。

続いて図 5-12 を使って具体的な回路動作を説明します。

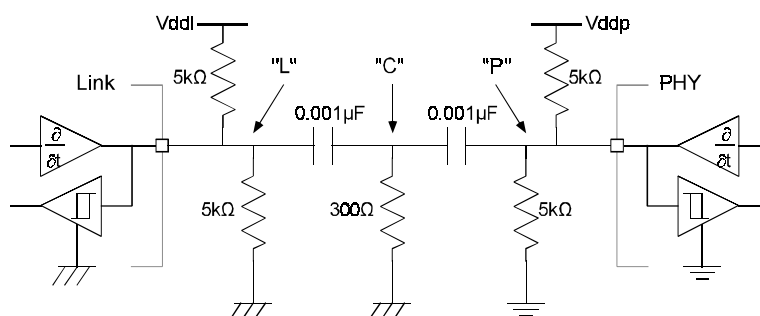


図 5-12 アイソレーションバリア回路

ここでは簡単のため PHY - Link 間のグラウンド電位差が $0V$ 、PHY、Link 共 $3.3V$ 動作と仮定します。DC 電位差は $0.001\mu F$ 容量に常に蓄えられるため AC 動作を考える上では電位差 $0V$ の場合と全く同一です。

まず PHY、Link 両 IC が Z (ハイインピーダンス) 出力状態の時、PHY IC の入出力ピン (以降ノード "P") 及び Link IC 入出力ピン (以降ノード "L") はそれぞれ $5k\Omega$ の抵抗分割によって $V_{dd}/2$ に保たれます。(このとき内部ではシュミットトリガバッファにより、Z になる前の論理レベルが引き続き「受信」されています。)

一方、残る中心 (Center) ノード (以降ノード "C") は 300Ω により $0V$ に保たれています。

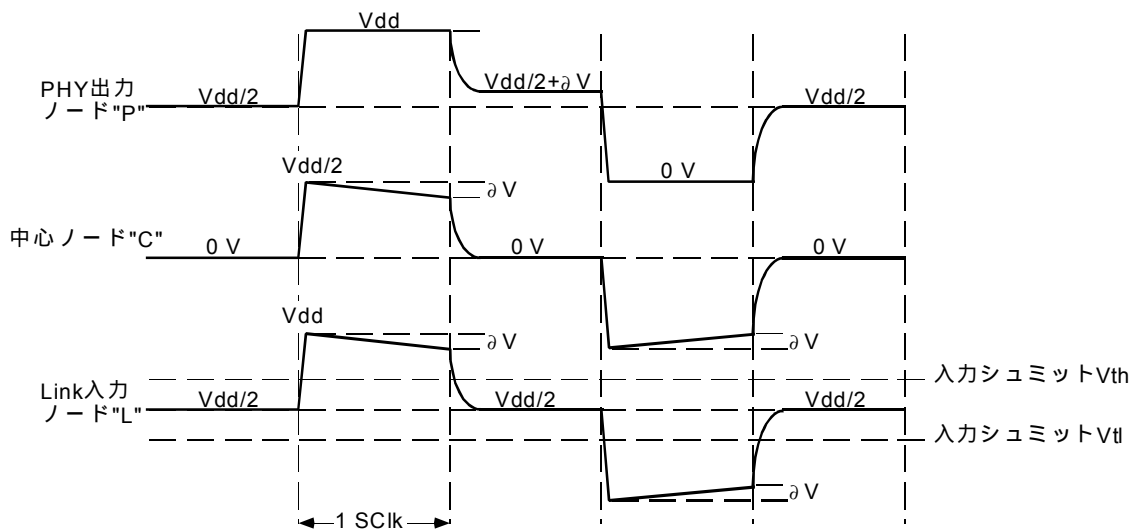


図 5-13 各ノードの波形例

次に PHY が 1 をドライブすると、ノード "P" は V_{dd} に保持されます。この $V_{dd}/2 \rightarrow V_{dd}$ の電位変化はノード "C" さらにノード "L" に伝達され、ノード "C" は $0 \rightarrow V_{dd}/2$ に、ノード "L" は $V_{dd}/2 \rightarrow V_{dd}$ へと立ち上がります。ノード "P" は論理 1 すなわち電位 V_{dd} を 1 サイクル保持します。ノード "C" は 300Ω により放電されますがこの時の時定数は $300[\Omega] \times 0.001[\mu F] = 0.3 \mu sec$ で、1 サイクル ($=20 nsec$) より十分大きく設定されているため、1 サイクル中の電位降下 ΔV は微小です。(これについては改めて説明します。) ノード "C" での波形はノード "L" にそのまま伝達され、結局 PHY がドライブした $Z \rightarrow 1$ のステップ波形がほぼ保たれたまま Link に伝達されます。

次のサイクルで送るべき出力論理データが 0 の場合は上記に続いてノード "P" が $V_{dd} \rightarrow 0$ と変化し、同様の動作によりノード "C" は $V_{dd}/2 \rightarrow -V_{dd}/2$ に、ノード "L" は $V_{dd} \rightarrow 0$ と変化します。

逆に、次のサイクルで送るべき出力論理データが 1 で前のサイクルと同一の場合は(図 5-13 はこの場合を示しています) 前出の「デジタル微分回路」により PHY は出力バッファを Z とします。このとき残る低インピーダンスノードは "C" のみであるため、ノード "C" が $V_{dd}/2 \rightarrow 0$ と初期値に戻ることににより同様の電位変化がノード "P" ($V_{dd} \rightarrow V_{dd}/2$) およびノード "L" ($V_{dd} \rightarrow V_{dd}/2$) に反映されます。この時の時定数はピン容量を例えば $10 pF$ とすると $2 \times 300[\Omega] \times 10[pF] = 6 nsec$ で、1 サイクル ($=20 nsec$) より十分小さく設定されています。ノード "L" は $V_{dd}/2$ に戻りますが入力部のシュミットトリガバッファにより引き続き論理レベル 1 を受信します。

ここで、厳密にはノード "C" は PHY が 1 をドライブしているサイクル中に放電により ΔV 電圧降下しています。このためノード "C" が初期値 $0V$ に戻る際の振幅は $V_{dd}/2 - \Delta V$ で、ドライブ側ノード "P" は $V_{dd} \rightarrow V_{dd}/2 + \Delta V$ となり、初期値 $V_{dd}/2$ まで戻りません。(受信側ノード "L" は $V_{dd}/2$ まで戻ります。)

このズレ ΔV は次に PHY が 0 をドライブする際に相殺され(図 5-13 参照) このズレが次々と蓄積されてゆくことはありません。(「デジタル微分回路」により、1 SCLK サイクル 1 をドライブした後は次の 1 がドライブされる前に必ず 1 SCLK サイクルの 0 が入ります。)

各 Link インターフェイスピンについてのアイソレーションバリア回路を図 5-14 ~ 図 5-19 に示します。

LREQ、CTL[0:1]、D[0:7] は上記 1394-1995 Annex J タイプのアイソレーションバリア回路を使用します。デューティー 50% のクロック波形となる LPS、SCLK は比較的簡単な AC 接続回路を使用します。

LPS 入力部は CMOS 受けで、Link IC からのクロックが停止すると外部抵抗により CMOS 入力閾値以下となり "L" 期間が $2.56 \mu sec$ 連続すると LPS="L" と認識します。逆に "H" 期間が $80 nsec$ 連続すると LPS="H" と認識します。

SCLK は AC 接続の場合 Link IC 側にシュミットトリガ入力バッファが必要です。MD8405 側は CMOS 出力です。

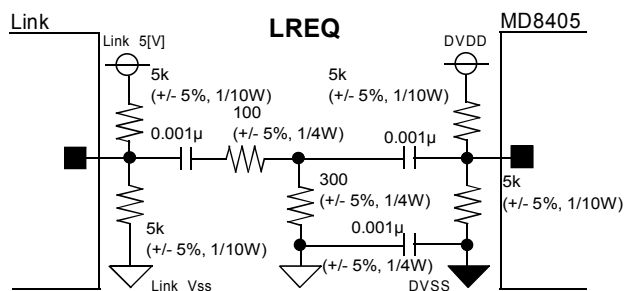


図 5-14 LREQ アイソレーションバリア回路

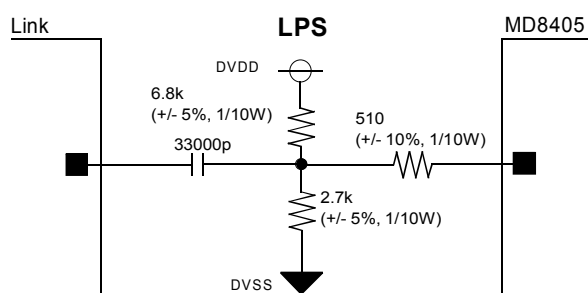


図 5-15 LPS アイソレーションバリア回路

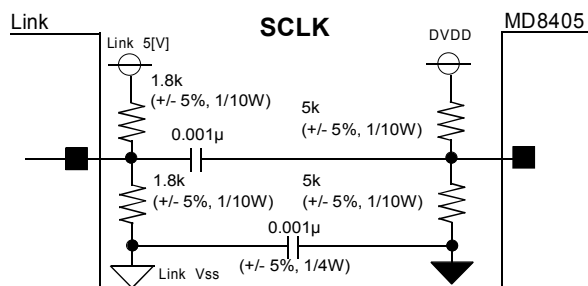


図 5-16 SCLK アイソレーションバリア回路

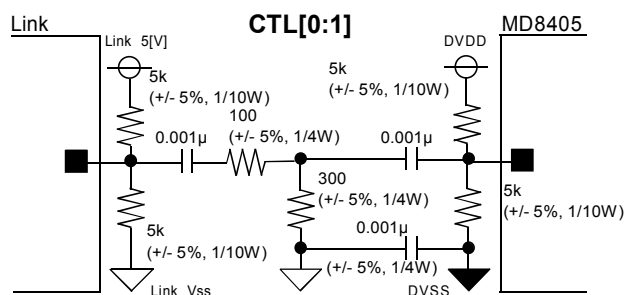


図 5-17 CTL[0:1] アイソレーションバリア回路

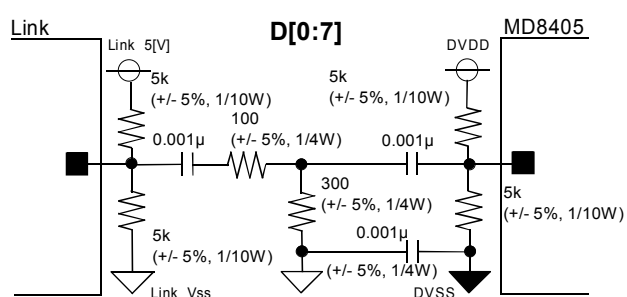


図 5-18 D[0:7] アイソレーションバリア回路

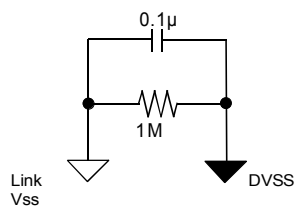


図 5-19 VSS 接続

図 5-14 (LREQ)、図 5-17 (CTL[0:1])、図 5-18 (D[0:7]) で、Link 側に直列に入っている 100Ω 抵抗は、接続される Link チップが 5V 電源電圧の場合のみ必要で、Link チップが 3.3V 電源電圧の場合は不要です。

5-2 ケーブルインターフェイス

5-2-1 ケーブルインターフェイス回路

図 5-20 にケーブルインターフェイスの接続回路を示します。

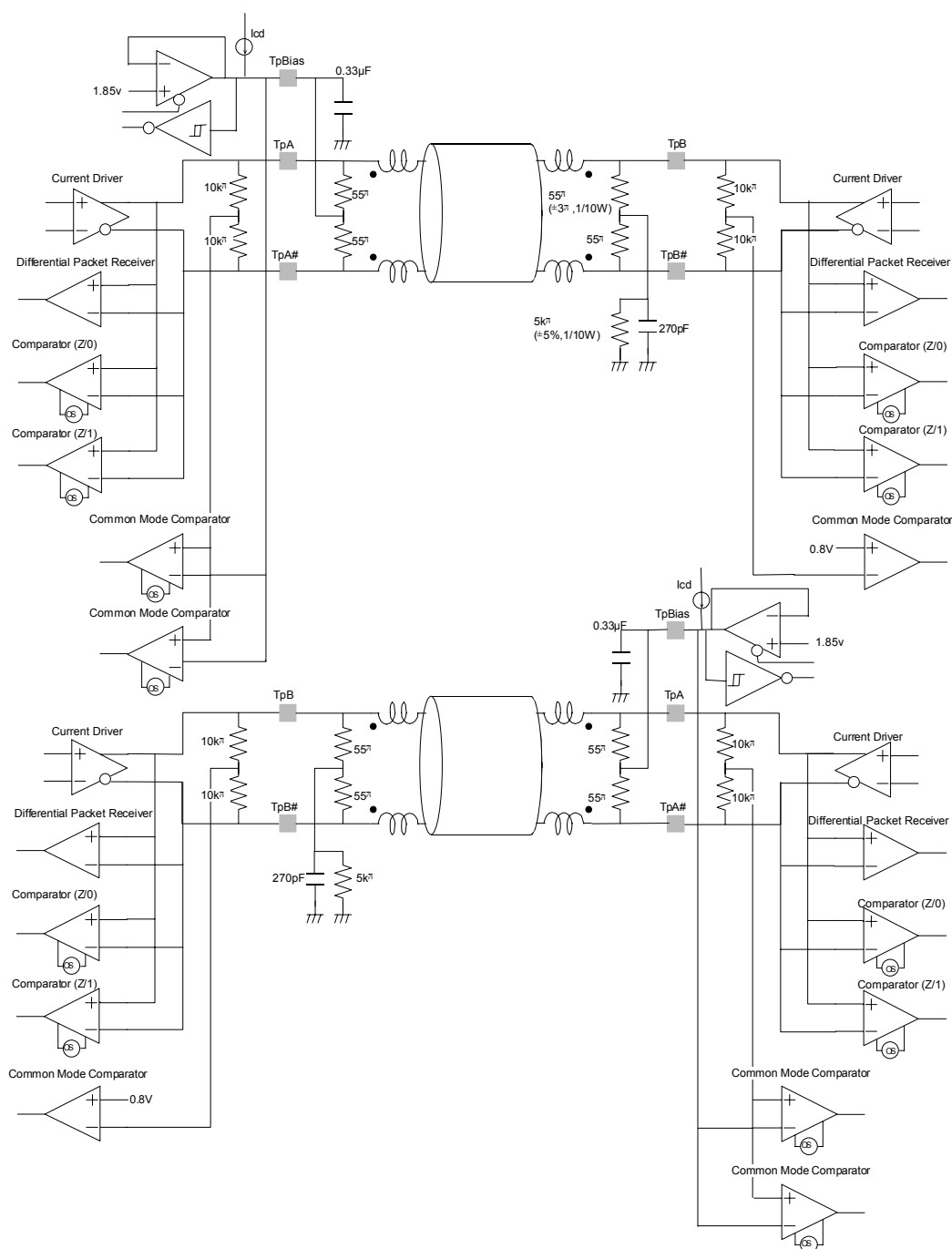


図 5-20 ケーブルインターフェイス

ケーブルメディアとしては IEEE 1394 専用ケーブルが使われ、データ送受信は 2 組のシールドされたツイストペア線で行われます。図 5-20 に示されるように各ツイストペア線は自ノードの TpA ペアが対向ノードの TpB ペアに接続されます。

TpA、TpB 側共にケーブルインピーダンスに合わせた終端抵抗 $55\Omega(\pm 3\Omega, 1/10W) \times 2$ が必要です。この終端抵抗から IC のピンまでは最短になるよう配置して下さい。

TpA 側にはケーブルの同相 DC 電位を設定するため TpBias (標準 1.85V) が終端抵抗中間ノードに接続されます。TpBias にはデカップル用に $0.33\mu F$ を接続して下さい。後述のスピードシグナルのための同相電流はここから供給されます。なお、このコンデンサは内部オペアンプの位相補償目的もあるため、実際に TpBias を使わない場合 (未使用ポートなど) にも必要です。

TpB 側には $5\text{ k}\Omega(\pm 5\%, 1/10W) // 270\text{ pF}(10V)$ を終端抵抗中間ノードに接続しプルダウンして下さい。これによりケーブルが抜かれ対向ノード TpA からの DC バイアスが断たれた際、TpB 側の DC 電位が 0V 近くまでドロップし同相コンパレータでこれを検知することが出来ます。270 pF はデカップル用です。

図 5-18 において終端抵抗 - ケーブル間に置かれたバランは同相信号の帯域制限をするための共通モードコイルです (250 nH 、 $K > 0.97$)。使用する場合はこの位置に接続して下さい。信号変化点で発生する同相ノイズによる電磁輻射 (EMI) を低減する効果があります。データ送受信には影響ありませんので、使用しなくても通信上の問題はありません。

5-2-2 ケーブルインターフェイス動作概要

対向ノード間での通信フェーズは大きく「アービトレーション」と「データパケット送受信」に分けられます。アービトレーション送受信は "0"、"1"、"Z" の 3 値論理 (差動) で全二重通信で行われ、スピードシグナル (同相) はこれに重畳されます。パケット送受信は "0"、"1" の 2 値論理 (差動) で半二重通信で行われます。いずれの場合も送信はハイインピーダンス電流ドライバによって、受信は終端抵抗両端の差動電圧あるいは同相電圧をコンパレータ、パケットレシーバで検出することによって行われます。

TpA、TpB それぞれで送受信される信号の内訳は以下のようになります。

TpA :	差動信号	アービトレーション送受信、パケット送信 (Strobe 信号)、パケット受信 (Data 信号)
	同相信号	スピードシグナル受信 ケーブルバイアス (TpBias)
TpB :	差動信号	アービトレーション送受信、パケット送信 (Data 信号)、パケット受信 (Strobe 信号)
	同相信号	スピードシグナル送信 コネクトステータス検出

図 5-21 に各種データ送信時の電流ドライバの状態、ケーブル上の電流、終端抵抗で観測される差動・同相電圧波形の例を示します。(図 5-21 は各信号状態の説明図であり、ある特定のバスフェーズでの波形をしめすものではありません)(ここでは S200 スピードシグナルを例に説明しています)

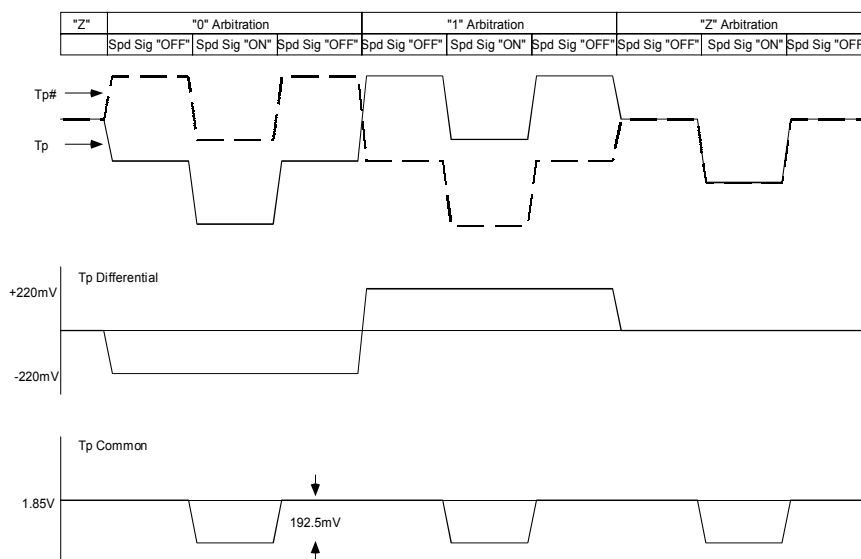
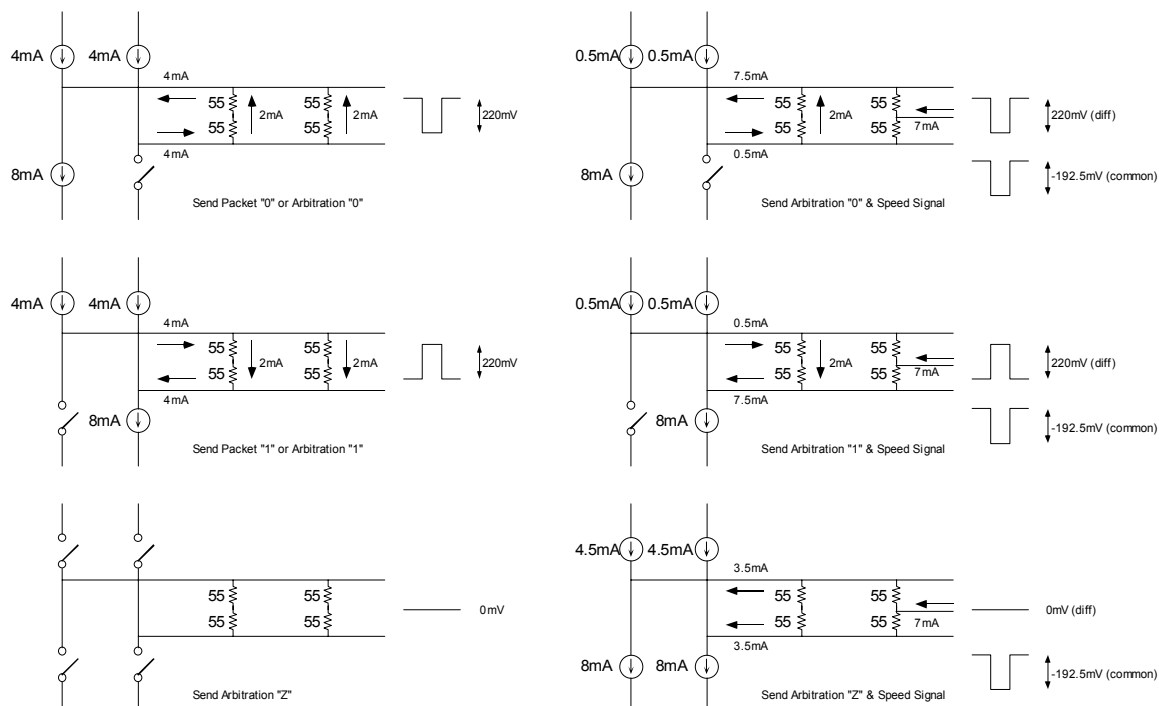


図 5-21 ドライバ電流と出力波形 (S200 スピードシグナル時)

5-2-3 ポートステート

MD8405 は P1394a Draft Ver2.0 に準拠しています。P1394a Draft Ver2.0 では各ポートには次の 4 つの状態が定義されています。

- Disabled : このポートは TpBias および TpA/TpB に信号を出力しません。また、Bias および TpA/TpB に入力される信号を検出しません。このポートではコネクタ検出回路のみが動作しています。
コネクタ検出回路でケーブル接続状態の変化を検出した場合、int_enable ビットがセットされていれば、上位層に対して Status/LinkOn によるインタラプトを出力します。
- Disconnected : このポートには他 ノード PHY との物理的なケーブル接続がなく、TpBias および TpA/TpB に信号を出力しません。また、Bias および TpA/TpB に入力される信号を検出しません。このポートではコネクタ検出回路のみが動作しています。
- Suspended : このポートには他 ノード PHY との物理的なケーブル接続はありますが、TpBias および TpA/TpB に信号を出力しません。また、TpA/TpB に入力される信号を検出しません。このポートではバイアス検出回路、コネクタ検出回路のみが動作しています。
- Active : このポートには他 ノード PHY との物理的なケーブル接続があり、TpBias および TpA/TpB に信号を出力します。また、Bias および TpA/TpB に入力される信号を検出します。

MD8405 は Suspended、Disabled、Disconnected 状態のポートの消費電力を Active 状態のポートの消費電力に比べて低下します。

また、MD8405 は 3 ポートすべてが Active 状態以外であり、かつ LPS 信号が Low で Link が非アクティブである場合には、自動的に低消費電力モードに入ります。低消費電力モード時は通常動作時と比べて消費電力が大幅に低下されます。(6-3DC 特性参照)

5-2-4 コネクタ検出回路

MD8405 には物理的なケーブル接続を検出するために、コネクタ検出回路を内蔵しています。この回路はこのポートが TpBias を出力していない期間、ポートへの物理的な接続の有無を検出します。

5-2-5 Suspend/Resume

Active な状態から Suspended 状態への遷移には 2 通りの動作があります。

1 つはこのノードのあるポートに対する suspend ビットが設定された Remote Command パケットを送受信した場合です。Remote Command パケットは、このノードのローカルな Link から送信される場合と、それ以外のノードから送信される場合がありますが、どちらの場合にも MD8405 は Remote Command パケットの送受信後、すべてのポートに RemoteConfirmation パケットを送信し、その後 suspend ビットがセットされたポート (Suspendinitiator) 以外のポートにバスリセット信号を出力し、このノードはバスリセット状態に入ります。同時に Suspend initiator ポートには TX_SUSPEND を出力し、このポートは Suspended 状態へ遷移していきます。

もう 1 つは Suspend initiator の出力した TX_SUSPEND を受信した場合 (RX_SUSPEND) です。RX_SUSPEND を受信したポート (Suspend target) はその後 Suspended 状態へ遷移していきます。またこのノードは RX_SUSPEND を受信したポート以外の Active なポートに TX_SUSPEND を出力し、Suspend initiator にします。この Suspend initiator ポートもその後 Suspended 状態へ遷移します。

このようにリーフノードまで Suspended 状態は伝播していきませんが、途中で IEEE Std1394-1995 ノード、Disabled ポート、Suspended ポートがある場合、Suspended 状態の伝播はそこで止まります。

ポートが Suspended 状態に入ってもなお対向ポートの Bias を検出している場合には Fault ビットをセットし、正常に Suspended 状態に入っていないことを示します。

Suspended 状態のポートは次の場合に Resume 動作を開始し、Active 状態に遷移します。

- Fault ビットがクリアされており、Bias を検出した場合。
- Resume パケットを送受信した場合。

- このポートに対する resume ビットが設定された Remote Command パケットを送受信した場合。

また、Boundary ノードではない場合に、Suspended 状態もしくは Disconnected 状態のポートが Resume パケット、Remote Command パケット送受信以外の理由で Resume 動作を開始すると、このノードの他の Suspended ポートも同時に Resume 動作を開始します。

Resume 動作は TpBias を出力し、対向ポートからの Bias を検出すると正常に終了し、Active 状態に遷移します。しかし、対向ポートからの Bias を検出できない場合には Fault ビットをセットし、再び Suspended 状態に戻り、正常に Resume 動作が終了しなかったことを示します。

5-2-6 Suspend/Resume オフモード (SR 端子 ="L")

Suspend/Resume 機能を使用しないモードでは MD8405 は次の動作をします。

- Remote Command パケットを無視します。
- Resume パケットを無視します。
- PHY レジスタの Disabled、int_enable、Resume_int ビットを無視します。
- コネクトは Bias で検出します (P1394a Draft Ver1.3 準拠)。

```
void connection_status() { // Continuously monitor port status in all states
int i;
isolated_node = TRUE; // Assume true until first connected port found
for (i = 0; i < NPORT; i++) {
    isolated_node &= !connected[i];
    if (connection_in_progress[i]) {
        if (!port_status[i])
            connection_in_progress[i] = FALSE; // Lost attempted connection
        else if (connect_timer >= (isolated_node) ? 2 * CONNECT_TIMEOUT :
CONNECT_TIMEOUT) {
            connection_in_progress[i] = FALSE;
            connected[i] = TRUE; // Confirmed connection
            if (isolated_node) // Can we arbitrate?
                ibr = TRUE; // No, transition to R0 for reset
            else
                isbr = TRUE; // Yes, arbitrate for short reset
        }
    } else if (!connected[i]) {
        if (port_status[i]) { // Possible new connection?
            connect_timer = 0; // Start connect timer
            connection_in_progress[i] = TRUE;
        }
    } else if (!port_status[i]) { // Disconnect?
        connected[i] = FALSE; // Effective immediately!
        if (child[i]) // Parent still connected?
            isbr = TRUE; // Yes, arbitrate for short reset
        else
            ibr = TRUE; // No, transition to R0 for reset
    }
}
```

- ポートの状態は Disconnected(!Connected) と Active(Connected) のみです (P1394a Draft Ver1.3 準拠)。どちらの状態においても TpBias には 1.85V が出力されます。ただし、ハードウェアリセット期間、TpBias はプルダウンされます。

5-2-7 低消費電力 (Power Down) モード

PowerDown に入る条件は

- 1) LPS が L で Link が非アクティブである場合でかつ、
 - 2) LinkOn の出力をしていない場合でかつ、
 - 3) すべてのポートが Disconnected,Suspended,Disabled の状態にある場合。
- これらの条件を満たしてから 680ms 待って PowerDown する。

また、復帰する条件は

- 1) LPS が H になったとき、または
 - 2) CPS の低下を検出したとき、または
 - 3) Disconnected のポートに Connect を検出したとき、または
 - 4) Suspended のポートに !Connect を検出したとき、または
 - 5) Suspended のポートに Bias を検出したとき、または
 - 6) Suspended で、Suspend_fault のポートに Bias を検出したとき、または
 - 7) Disabled で、Int_enable のポートに Connect の変化を検出したとき
- です。

復帰したとき約 11~12 μ s 後に通常動作に復帰します。

動作は PowerDown していなかったように動作しますが、復帰条件が上の場合は、次の動作をします。

- 1) LCLK 出力
 - 2) LinkOn(Interrupt)
 - 3) connection_status(), P0:P1
 - 4) connection_status(), P5:P0
 - 5) connection_status(), P5:P1
 - 6) connection_status(), P5:P5
 - 7) LinkOn(Interrupt)
- です。

5-2-8 S200 モード (S200 端子="H")

S200 モードで MD8405 は次の動作をします。

- MD8405 が送信する Self-ID パケットの sp ビットに "01" を出力し、このノードの最高動作周波数が 196.608Mbit/s であること示します。
- PHY レジスタ Max_speed ビットに "001" を出力し、このノードの最高動作周波数が 196.608Mbit/s であること示します。
- Self-ID 期間に S200 のスピードシグナルを出力し、このノードの最高動作周波数が 196.608Mbit/s であること示します。

このモードでは D[4:7] 端子は NC として使用してください。

このモードでは LREQ 端子から 400Mbps のバスリクエストを入力しないでください。

5-2-9 CPS (ケーブルパワーステータス)

CPS ピンは外部抵抗 Rcps (通常 226k Ω) を介してケーブルパワー (Vp) に接続します。ケーブルパワーが閾値 (通常 7.5V) 以下に低下したことを検出します。使用しない場合は、AVDD に接続します。

検出閾値 Vt と外部抵抗 Rcps との関係は以下の式になります。

$$V_t = 1.85 + R_{cps} \times 25\mu$$

5-2-10 未使用ポートの処理

MD8405 には、ポートが 3 つあります。このうち、2 ポートしか使用しない場合、1 ポートしか使用しない場合は、未使用ポートの端子を次のように接続します。

未使用ポートの端子名	接続
TpAp, TpAn	ノンコネクト
TpBp, TpBn	AVSS
TpBias	0.33 μ F を介して AVSS へ

表 5-13 未使用ポート端子の処理

例として、1 ポートのみ使用する場合の回路図を示します。

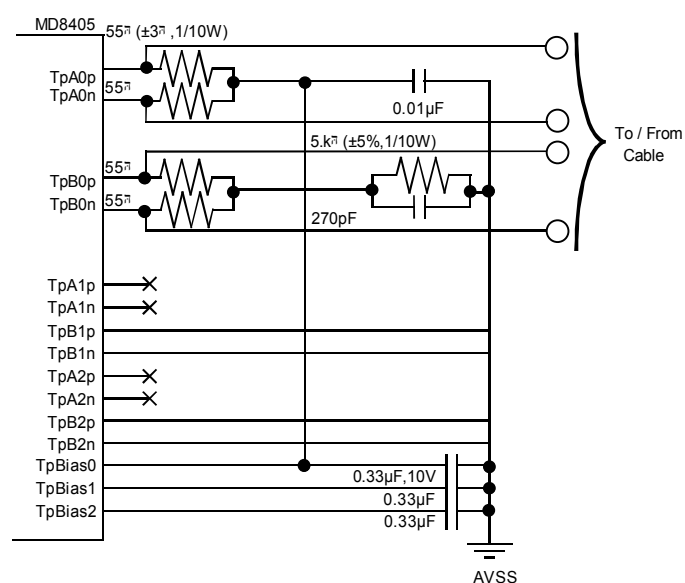


図 5-22 1 ポートのみ使用時回路図

5-3 クロック回路

5-3-1 クリスタルオシレータ

オシレータ出力周波数は、 $24.576\text{MHz} \pm 100\text{ppm}$ が必要です。クリスタル自身は、 10pF の負荷容量を接続した状態で $\pm 50\text{ppm}$ の精度が必要です。

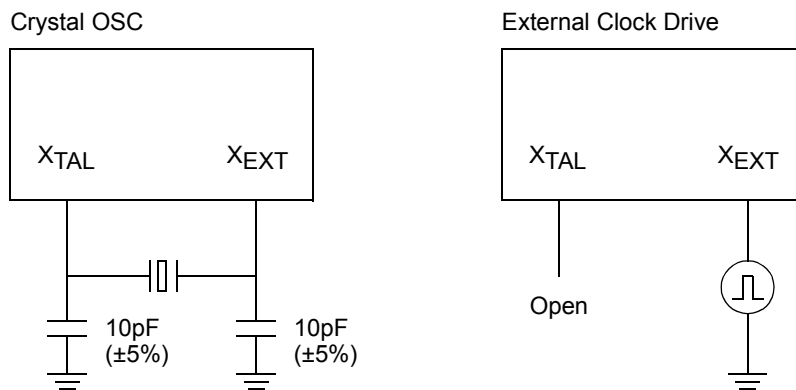


図 5-23 クロック回路

5-3-2 PLL

PLL は、水晶発振子の出力の 24.576MHz から 16 倍の 393.216MHz をつくります。PLL のロックタイムは、 $100\mu\text{sec}$ 以下です。

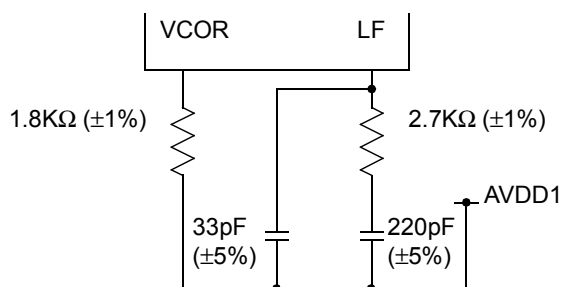


図 5-24 PLL 外部回路

5-4 外部回路

5-4-1 CPS 端子

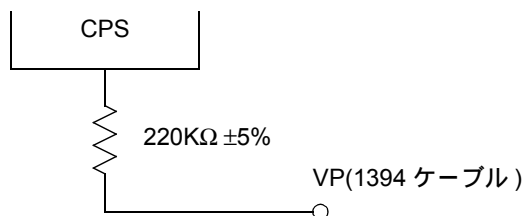


図 5-25 CPS 外部回路

5-4-2 Rext 端子

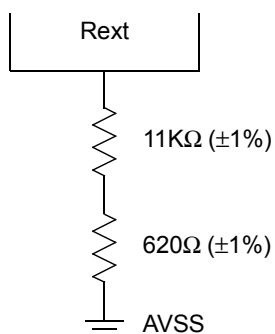


图 5-26 Rext 外部回路

5-4-3 Vref 端子

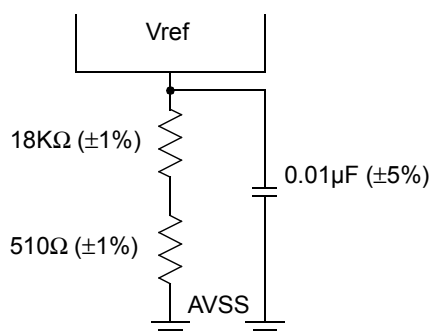


图 5-27 Vref 外部回路

5-5 ハードウェアリセット

Purb 端子に 0.1 μ F の外部キャパシタを経由してグラウンドに接続することによって電源投入時に最小 15msec のリセット幅を発生させます。この端子に "L" レベルを外部から印加することによりすべてのステートマシْنَをリセットします。

この時のケーブルインターフェイスの動作は以下のとおりになります。

- 1) MD8405 は Purb が "L" の期間 TpBias に 0V(Pull Down) します。
- 2) リセット終了後 CONNECT_TIMEOUT 時間ケーブルの物理的な接続を確認します。この間 TpBias は HiZ 状態です。
接続が確認されなかったら 3) へ。(Port connection state machine では P0)
接続が確認されたら 4) へ、(Port connection state machine では P0:P1)
- 3) Disconnected。Connect 検出回路のみ動作中
- 4) リジュームします。TpBias に 1.85V を出力し、BIAS_HANDSHAKE 期間相手ノードからの Bias を待ちます。
BIAS_HANDSHAKE 期間中に相手からの Bias を検出すると 5) へ。(Port connection statemachine では P1:P2)
BIAS_HANDSHAKE 期間中に相手からの Bias を検出しないと 6) へ。(Port connection statemachine では P1:P5)
- 5) 次のバスリセットから通常動作を開始します (Active)。Bias 検出回路が動作しています。
- 6) Suspended。TpBias に 0V(Pull down) しその後 TpBias を HiZ にし、connect 検出回路を動作します。Bias 検出回路も動作しています。

6 電気特性

6-1 絶対最大定格

(VSS=0V)

記号	項目	定格	単位
VDD	電源電圧	-0.5~5.0	V
VIN	入力電圧	-0.5~VDD+0.5	V
VOUT	出力電圧	-0.5~VDD+0.5	V
TSTG	保存温度	-65~150	

表 6-1 絶対最大定格

6-2 推奨動作条件

記号	項目	定格	単位
VDD	電源電圧	3.0~3.6	V
VIN	入力電圧	0~VDD	V
VOUT	出力電圧	0~VDD	V
TA	周囲温度	0~70	

表 6-2 推奨動作条件

6-3 DC 特性

推奨動作条件下での電気特性（特記なき場合）

(VSS=0V)

記号	項目	端子	テスト条件	MIN	TYP	MAX	単位
VT+	入力シュミット 立上りしきい値	LREQ, CTL[0:1], D[0:7]		VDD/2+0.3		VDD/2+0.8	V
VT-	入力シュミット 立下りしきい値	LREQ, CTL[0:1], D[0:7]		VDD/2-0.8		VDD/2-0.3	V
VIH	"H" レベル 入力電圧	LPS, LDSEL, DIRECT, PC[0:2], Disabled[0:2], En_Accel, En_Multi, CMC, XEXT		VDD-1.0			V
VIL	"L" レベル 入力電圧	LPS, LDSEL, DIRECT, PC[0:2], Disabled[0:2], En_Accel, En_Multi, CMC, XEXT				1.0	V
IIH	"H" レベル 入力電流	LREQ, CTL, D[0:7]	VIH=VDD	-10			
		LPS, LDSEL, DIRECT, PC[0:2], Disabled[0:2], En_Accel, En_Multi, CMC	VIH=VDD	-10			μA
IIL	"L" レベル 入力電流	LREQ, CTL, D[0:7]	VIL=VSS			10.0	
		LPS, LDSEL, DIRECT, PC[0:2], Disabled[0:2], En_Accel, En_Multi, CMC	VIL=VSS			10.0	μA
VOH	"H" レベル 出力電圧	SCLK, CTL[0:1] D[0:7]	IOH=-12mA	VDD-0.4			V
		LinkOn	IOH=-6mA	VDD-0.4			
VOL	"L" レベル 出力電圧	SCLK, CTL[0:1] D[0:7]	IOH=+12mA			0.4	V
		LinkOn	IOH=+6mA			0.4	
IDD	動的 消費電流		VDD=3.6V 3ポート送信			195	mA
IDDS	静的 消費電流		VDD=3.6V 送受信なし			110	mA
IDDS2	PowerDown 消費電流		VDD=3.6V ケーブル接続なし LPS="L"			19	mA

表 6-3 DC 特性（Link インターフェイス）

記号	項目	テスト条件	MIN	TYP	MAX	単位
VOD	差動出力振幅	負荷 55 Ω	175		265	mV
VTPBIAS	TpBias 出力電圧	ソース 3[mA]、シンク 1.3[mA]	1.72		1.92	V
ICM	Tp コモンモード電流	ドライバ disable (Z ステート)	-25		5	μ A
		スピードシグナル以外の ドライバ enable	-0.18		0.18	mA
ISPD2	TpB200Mbit スピードシグナル		2.76		4.6	mA
ISPD4	TpB400Mbit スピードシグナル		8.4		11.5	mA
ZDIFFZ	差動入力 インピーダンス	ドライバ disable (Z ステート)	21.0		4	pF
ZDIFFEN	差動入力 インピーダンス	ドライバ enable	3.4		4	k Ω pF
CCM	コモンモード 入力容量	Tp ピンショート Z ステートドライバ			16	pF
VT NOCONN	不活線 しきい値電圧	TPB コモンモード電圧	0.64		0.96	V
VT CPWD	CPS しきい値電圧	Vp ピン (R=220k Ω)	6.0		7.6	V

表 6-4 DC 特性 (ケーブルインターフェイス)

6-4 AC 特性

記号	項目	LDSEL=0			LDSEL=1			単位
		MIN	TYP	MAX	MIN	TYP	MAX	
TSU	D, CTL, LREQ, セットアップ時間	6			2			ns
TH	D, CTL, LREQ, ホールド時間	0			5			ns
TD	D, CTL, 出力タイミング時間	2		10	2		10	ns
TCLK	SCLK サイクル時間	20			20			ns
TCLKH	SCLK"H" レベル時間	9		11	9		11	ns
TCLKL	SCLK"L" レベル時間	9		11	9		11	ns
TLINKON	Link-On サイクル時間	160			160			ns

表 6-5 AC 特性 (Link インターフェイス)

記号	項目	テスト条件	MIN	MAX	単位
TTJITTER	TpA, TpB 転送ジッター			+/-0.15	ns
TTSKEW	TpA ストローブ、 TpB データ転送間スキュー			+/-0.10	ns
TTRF	TpA, TpB 転送 立上り、立下り	55 Ω , 10pF を 介した 10% から 90%		1.2	ns

表 6-6 AC 特性 (ツイストペアインターフェイス)

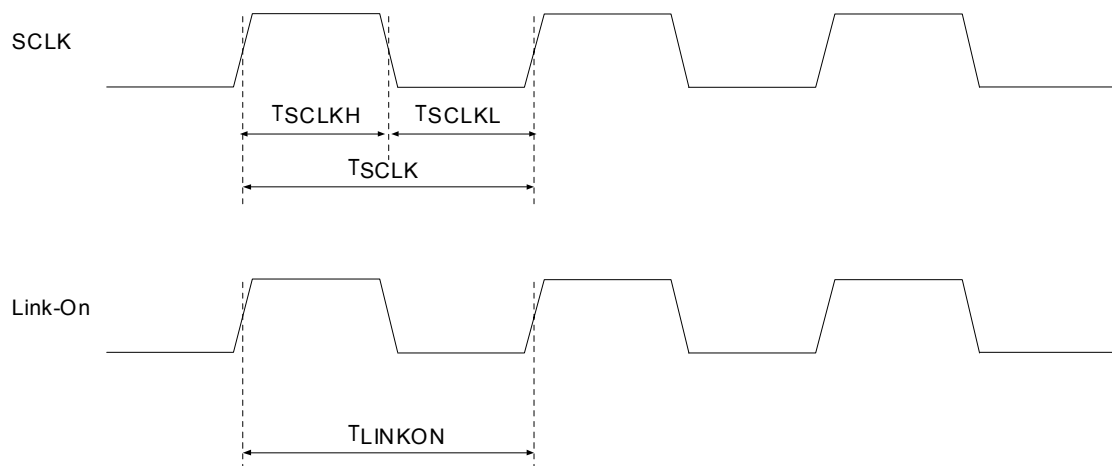


図 6-1 Link インターフェイス AC 特性 (SCLK, Link-On)

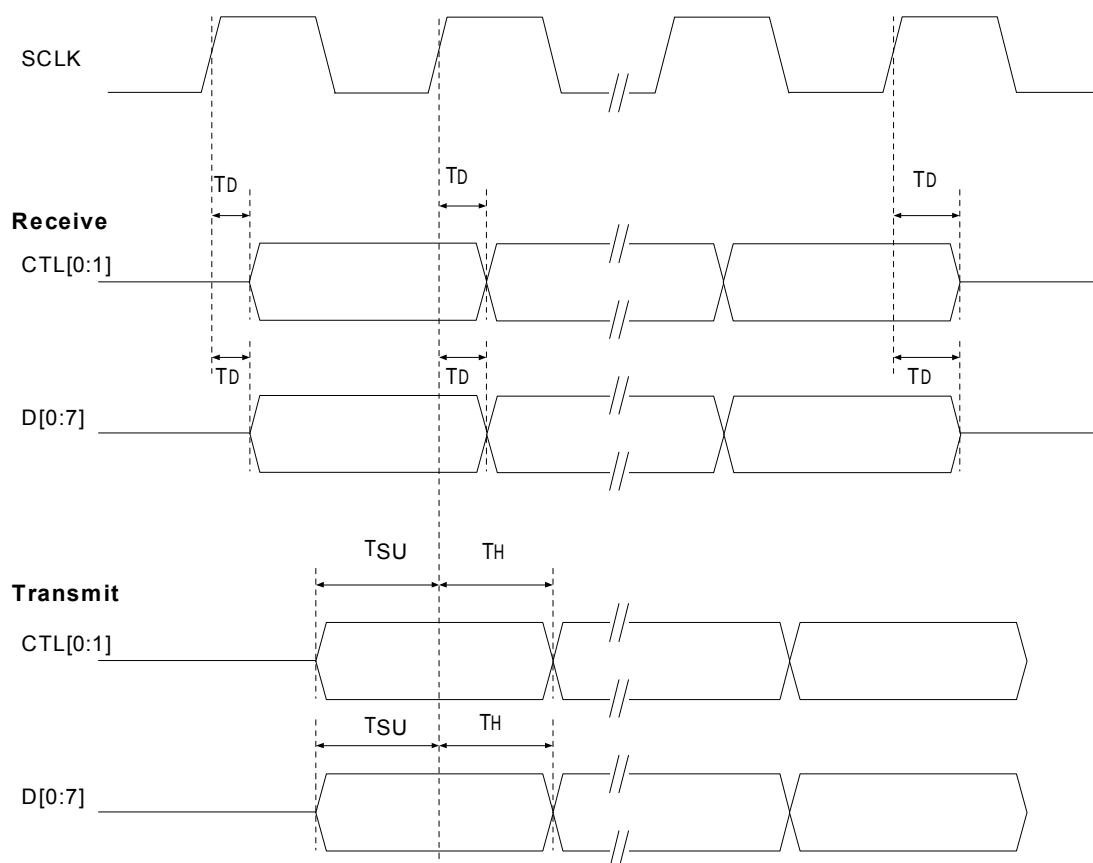


図 6-2 Link インターフェイス AC 特性 (CTL,D)

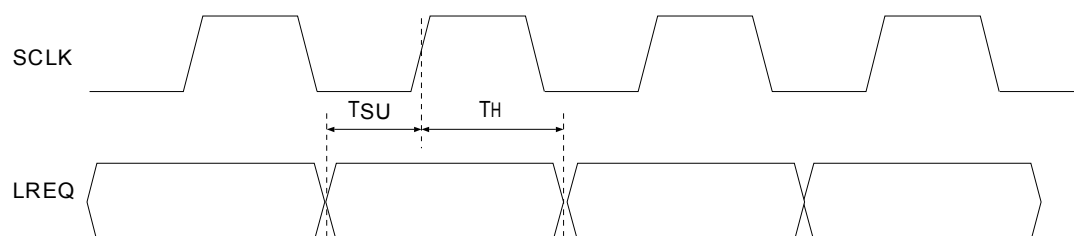


図 6-3 Link インターフェイス AC 特性 (LREQ)

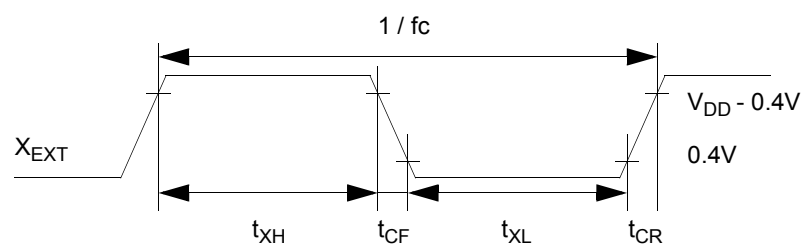


図 6-4 クロックタイミング

項目	記号	端子	テスト条件	MIN	TYP	MAX	単位
Clock Frequency	f_C	X_{TAL} X_{EXT}			24.576 $\pm 100\text{ppm}$		MHz
Input Clock Pulse Width	t_{XL} t_{XH}	X_{EXT}	External Clock Drive	8			nS
Input Clock Rise & Fall	t_{CR} t_{CF}	X_{EXT}	External Clock Drive			10	nS
Input Clock Drive Current	I_{OL} I_{OH}	X_{EXT}	External Clock Drive	10			mA

表 6-7 クロック回路 AC 特性

7 推奨回路図

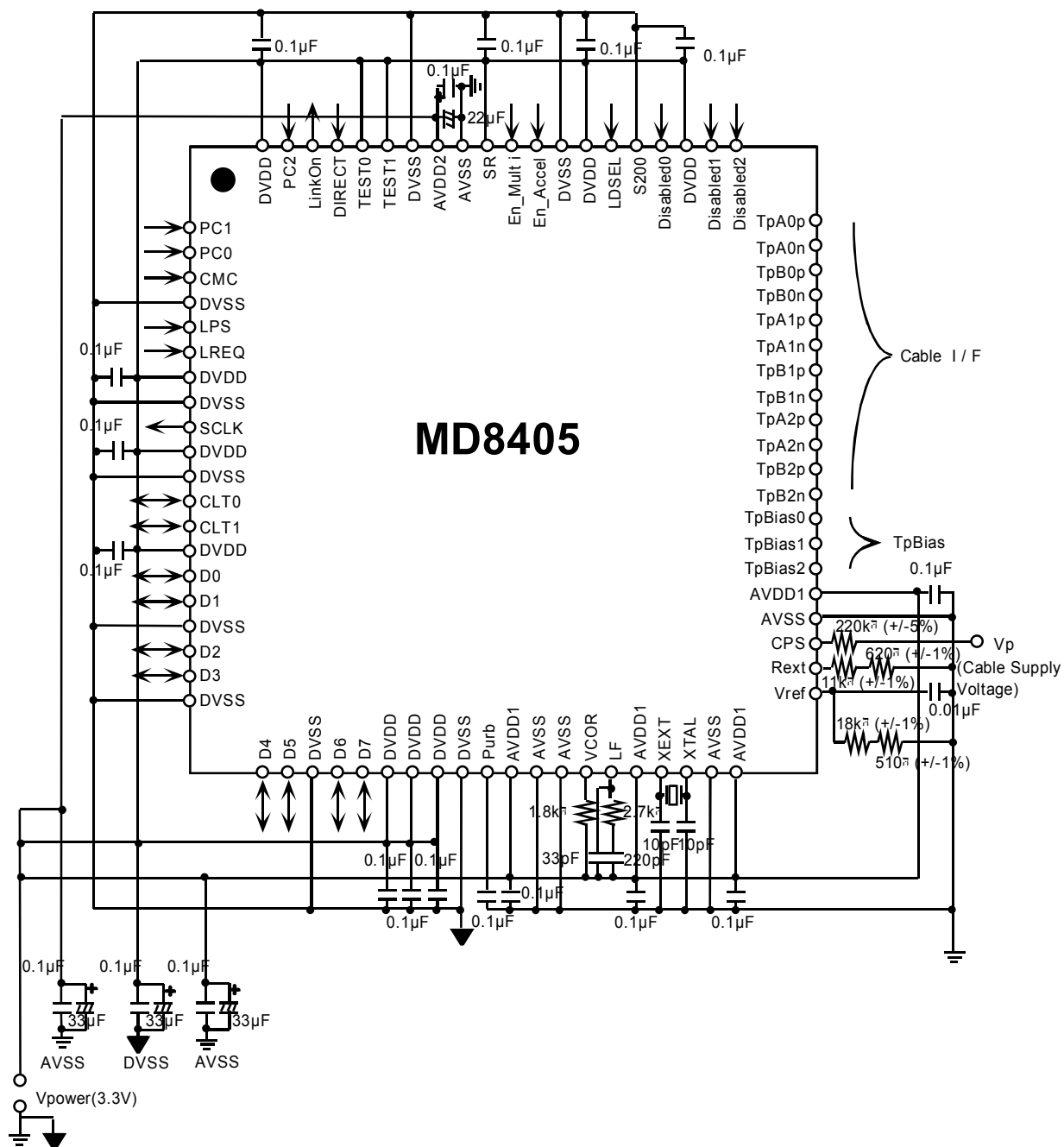


图 7-1 MD8405 推奨回路図 (例)

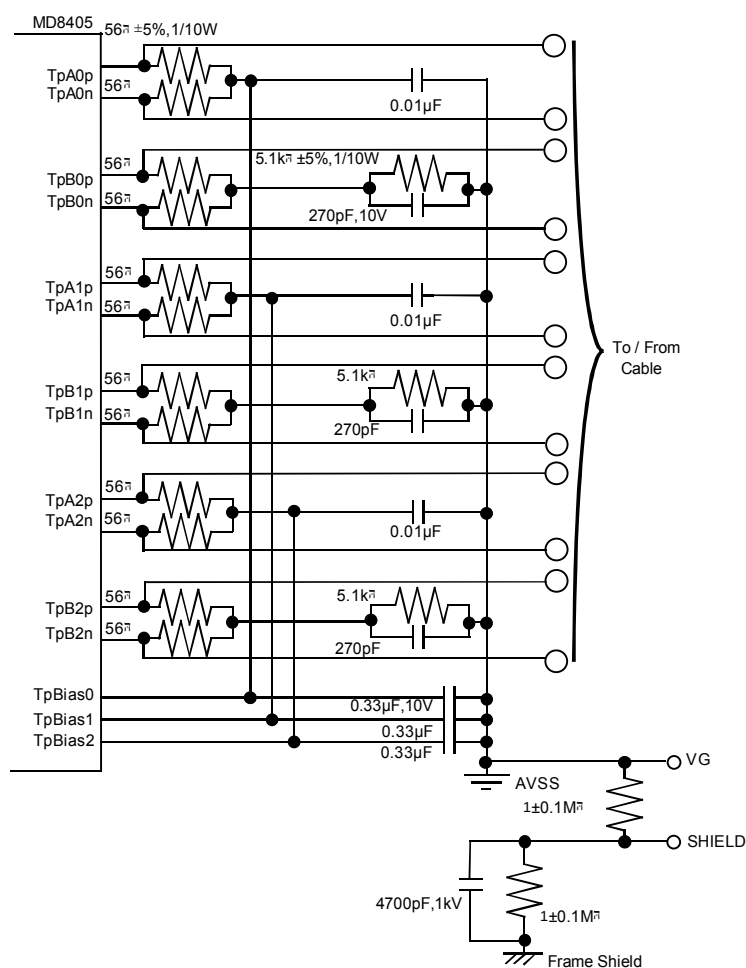


図 7-2 ケーブルインターフェイス接続推奨回路図

- ・ ケーブル I/F (TpA, TpB) は、寄生インダクタンスを極力低減させます。

8 外形図

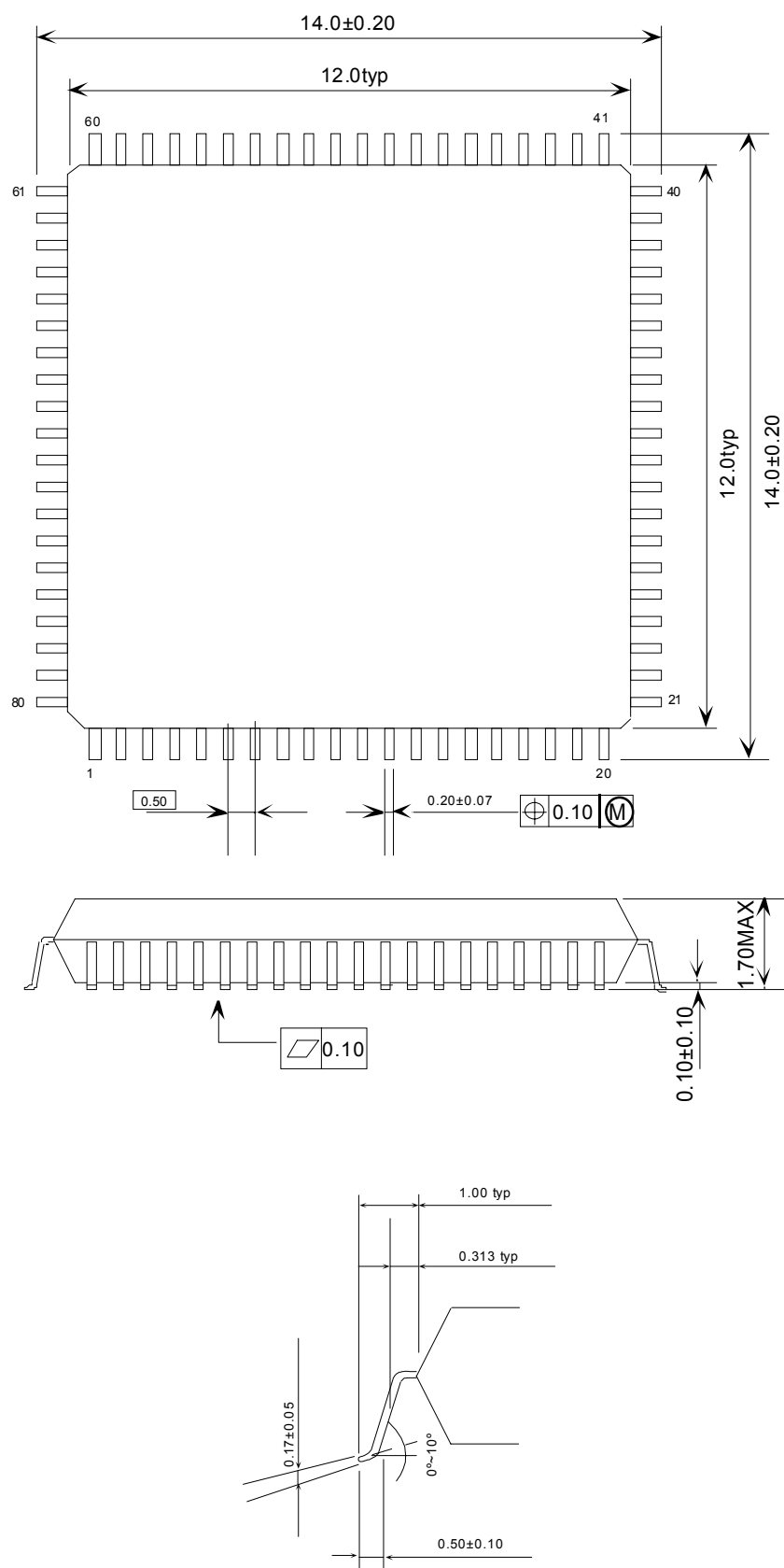


図 8-1 外形寸法図

9 部品配置

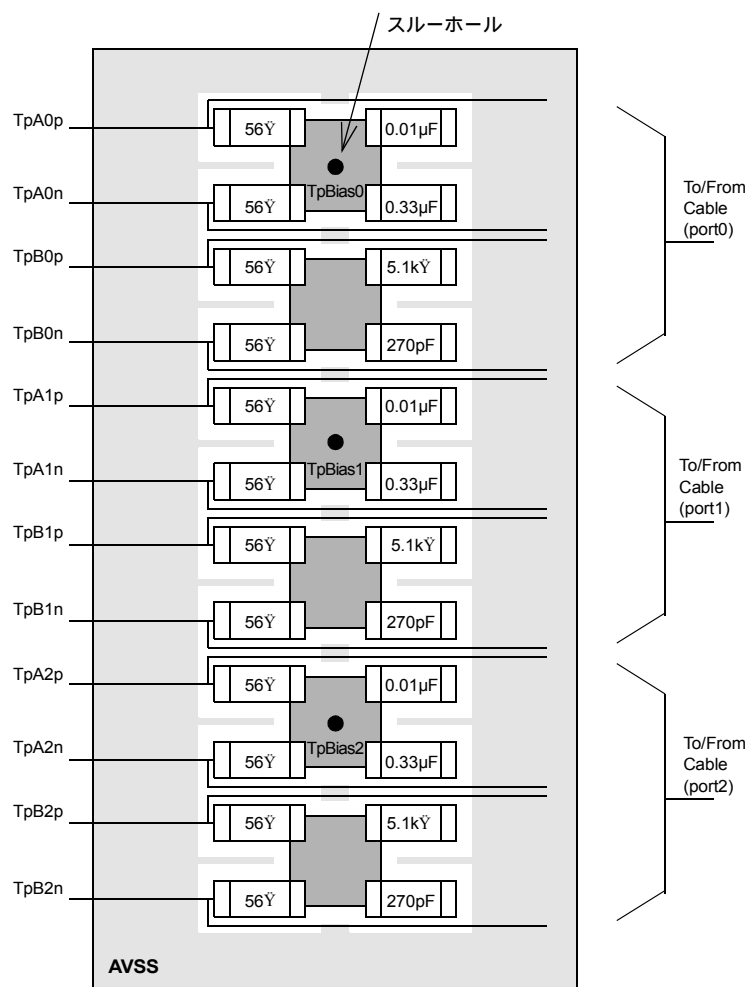


図 9-1 部品配置参考図

10 ピン互換性

10-1 MD8404 とのピン互換

MD8405E は PHY/Link I/F、ケーブル I/F、クロック回路部に関しては同じピン配置になります。しかし MD8405E で新たに機能追加された部分の設定ピンが異なります。MD8404 のピン配置で MD8405E を実装した場合、MD8405E は以下の条件で動作します。

ピン番号	MD8404	MD8405E	動作
61	DVSS	Disable2	ポート 2 の Disable ビットの初期値 ="0" として動作。
62	DVSS	Disable1	ポート 1 の Disable ビットの初期値 ="0" として動作。
64	DVSS	Disable0	ポート 0 の Disable ビットの初期値 ="0" として動作。
65	DVSS	S200	S400 動作。
69	DVSS	En-Accel	Enab_Accel ビットの初期値 ="0" として動作。
70	DVSS	En-Multi	Enab_Multi ビットの初期値 ="0" として動作。
71	DVSS	SR	P1394a Draft Ver1.3 準拠。 Suspend/Resume 機能 OFF で動作。
78	CMC/LINKON	LinkOn	LinkOn の出力のみ。
3	DVSS	CMC	Contender ビットの初期値 ="0" として動作。

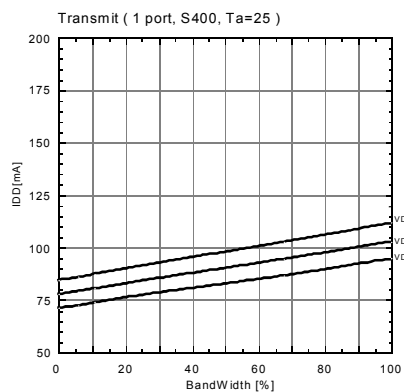
表 10-1 MD8405E 動作

10-2 MD8405B / MD8405D とのピン互換

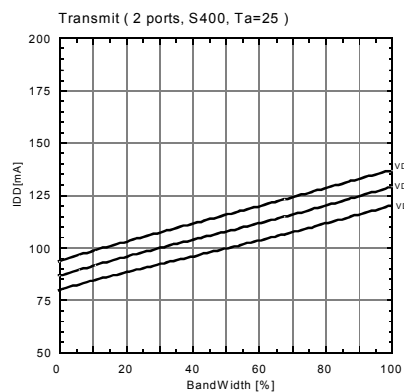
MD8405E は MD8405B および MD8405D と同じピン配置になります。

11 付録 A 送受信条件における消費電流（代表値）

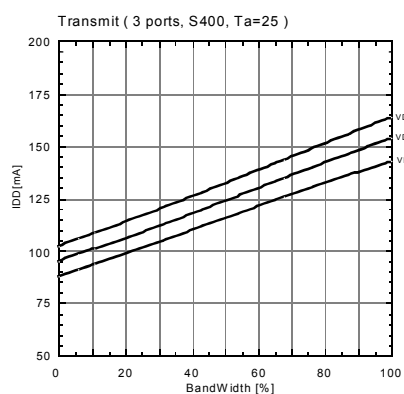
1) 1 ポート S400 送信



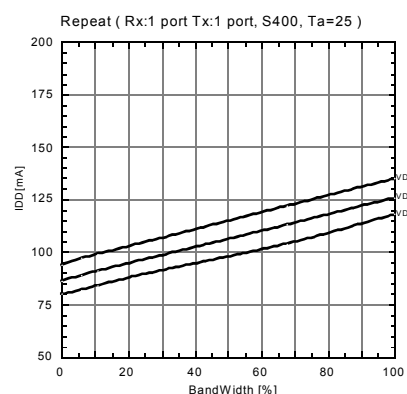
2) 2 ポート S400 送信



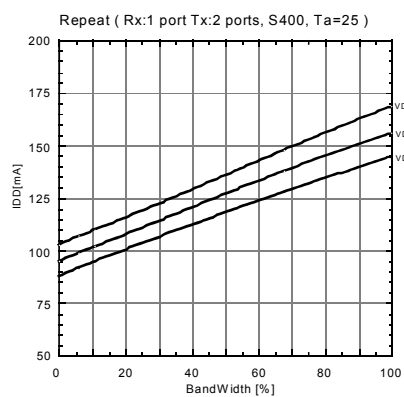
3) 3 ポート S400 送信



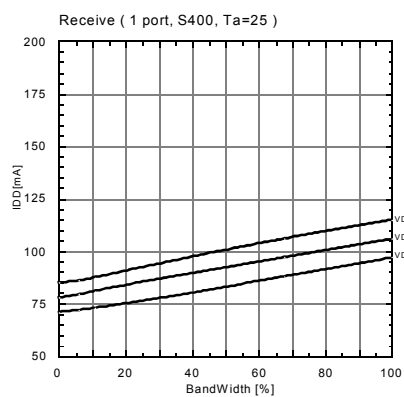
4) 1 ポート受信、1 ポート送信 S400



5) 1 ポート受信、2 ポート送信 S400



6) 1 ポートのみ受信 S400



注意事項

- 本マニュアルの内容は予告なく変更される場合があります。
- 本マニュアルの一部または全てを弊社の許可なしに複製、転載することを禁止します。
- 本マニュアルにより弊社および富士写真フイルム株式会社の工業所有権、著作権などの使用許可を行うものではありません。また、第三者の工業所有権、著作権などに対し、弊社はその責任を負うものではありません。
- 本マニュアル、本チップにより生じた損害などに対し、その責任を負うものではありません。
- ご使用の際は納入仕様書の取り交わしをお願いします。
- お問い合わせ
 - 本社
富士フイルムマイクロデバイス株式会社
〒981-3493 宮城県黒川郡大和町松坂平 1-6
TEL 022-347-1128 FAX 022-347-1136
 - 東京オフィス
〒162-0824 東京都新宿区揚場町 1-20 福升ビル 6F
TEL 03-3269-2141 FAX 03-5229-7381